

Note

The invention described in the Scope of Claims of the present application is recognized to be a hetero junction field effect semiconductor device, and manufacturing method therefor, comprising a GaAs substrate, a channel layer formed on the GaAs substrate, a first semiconductor layer not containing Al formed on the channel layer, a first and second cap layer of a first conductivity type which are formed on the first semiconductor layer and create a first depression in the first semiconductor layer, a first and second ohmic electrode formed in the first and second cap layers, a second semiconductor layer of a second conductivity type which is formed in the first depression on the first semiconductor layer and is isolated from the first and second cap layers, and a gate electrode formed on the second semiconductor layer. Japanese Unexamined Patent Application Publication H13-250939 (September 14, 2001) (hereinafter, "cited invention") describes a field effect transistor, and manufacturing method therefor, comprising a GaAs substrate, a channel layer formed on the GaAs substrate, a first semiconductor layer not containing Al formed on the channel layer, a first and second cap layer of a first conductivity type which are formed on the first semiconductor layer and create a first depression in the first semiconductor layer, a first and second ohmic electrode formed in the first and second cap layers, a second semiconductor layer of a second conductivity type which is formed in the first depression on the first semiconductor layer and is isolated from the first and second cap layers, and a gate electrode formed on the second semiconductor layer. Comparing the present invention to the cited invention, the object, constitution and effect of the two inventions are similar in the point of having a GaAs substrate, a channel layer formed on the GaAs substrate, a first semiconductor layer not containing Al formed on the channel layer, a first and second cap layer of a first conductivity type which are formed on the first semiconductor layer and create a first depression in the first semiconductor layer, a first and second ohmic electrode formed in the first and second cap layers, a second semiconductor layer of a second conductivity type which is formed in the first depression on the first semiconductor layer and is isolated from the first and second cap layers, and a gate electrode formed on the second semiconductor layer, and allowing for increased gate turn-on voltage and reducing operating resistance. Therefore, it is judged that the invention described in the aforementioned Scope of Claims of the present application could have been easily invented based on the cited invention by a person having ordinary knowledge in this technical field.

(ATTACHMENTS)

Attachment 1: Japanese Unexamined Patent Application Publication H13[sic]-250939 (September 14, 2001), 1 copy. END

(訳文)

特許庁

意見提出通知書

出願人 氏名 NEC化合物デバイス株式会社
住所 日本国神奈川県川崎市中原区下沼部1753
代理人 氏名 趙義済
住所 ソウル市江南区駅三洞831 恵泉ビル1405号
出願番号 : 10-2003-0084595
発明の名称 : 高いゲートターンオン電圧と低い動作抵抗を有するヘテロ接合電界効果型半導体装置及びその製造方法

この出願に対する審査の結果、次のような拒絶理由があつて特許法第63条の規定によりこれを通知しますので、意見があるかまたは補正が必要な場合には2005年9月28日までに意見書[特許法施行規則別紙第25号の2書式]または/及び補正書[特許法施行規則別紙第5号書式]を提出願います(上記提出期間については毎回1ヶ月単位で延長申請することができますが、期間延長の承認通知は別途に致しません)。

理由

本出願の請求範囲第1-35項に記載された発明は、その出願前にこの発明の属する技術分野での通常の知識を有する者が下記に指摘したところにより容易に発明できたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

本願の前記請求範囲で記載している発明は、GaAs基板、GaAs基板上に形成されたチャンネル層、チャンネル層上に形成されたAlが含まれていない第1の半導体層、第1の半導体層上に形成されて第1の半導体層上に第1の凹部を生成する第1の導電型の第1及び第2のキャップ層、第1及び第2のキャップ層間に形成される第1及び第2のオーミック電極、第1の半導体層上に第1の凹部内に形成されて第1及び第2のキャップ層から孤立される第2の導電型の第2の半導体層及び第2の半導体層上に形成されたゲート電極とを含むヘテロ接合電界効果型半導体装置及びその製造方法であるものと認められ、日本公開特許公報平13-250939(2001.09.14)号(以下、「引用発明」)はGaAs基板、GaAs基板上に形成されたチャンネル層、チャンネル層上に形成されたAlが含まれていない第1の半導体層、第1の半導体層上に形成されて第1の半導体層上に第1の凹部を生成する第1の導電型の第1及び第2のキ

ヤップ層、第1及び第2のキャップ層らに形成される第1及び第2のオーミック電極、第1の半導体層上に第1の凹部内に形成されて第1及び第2のキャップ層らから孤立される第2の導電型の第2の半導体層及び第2の半導体層上に形成されたゲート電極とを含む電界効果トランジスタ及びその製造方法に関して記載している。本願発明と引用発明を対比すると、GaAs基板、GaAs基板上に形成されたチャンネル層、チャンネル層上に形成されたAlが含まれていない第1の半導体層、第1の半導体層上に形成されて第1の半導体層上に第1の凹部を生成する第1の導電型の第1及び第2のキャップ層、第1及び第2のキャップ層らに形成される第1及び第2のオーミック電極、第1の半導体層上に第1の凹部内に形成されて第1及び第2のキャップ層らから孤立される第2の導電型の第2の半導体層及び第2の半導体層上に形成されたゲート電極を有してゲートターンオン電圧は増加され得、動作抵抗は減少させるという点で両発明の目的、構成及び効果が類似している。従って、前記本願請求範囲に記載された発明はこの技術分野で通常の知識を有する者であれば引用発明により容易に発明できたものであると判断される。

[添付]

添付 1 日本公開特許公報平13-250939号(2001.09.14) 1部 以上

2005.07.28

特許庁 電気電子審査局
電子素子審査担当官室 審査官 高カンソック (印)

발송 번호: 9-5-2005-036709062
발송 일자: 2005.07.28
제출 기일: 2005.09.28

수신 서울 강남구 역삼동 831번지 혜천빌딩
1405호(탑국제특허법률사무소)
조의제

135-080

특허청 의견제출통지서

출원인명 청 엔이씨 가고오부쯔 디바이스 가부시끼가이사 (출원인코드:
520020107154)
대리인명 주 소 일본 가나가와쿄 가와사끼시 나까하라꾸 시모누마베 1753
주 소 서울 강남구 역삼동 831번지 혜천빌딩
1405호(탑국제특허법률사무소)

출원번호 10-2003-0084595
발명의명 청 높은 게이트던온전압과 낮은 동작저항을
갖는 헤테로접합전계효과형반도체장치 및 그의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-35항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

(으)래)

본원의 상기 청구범위에서 기재하고 있는 발명은 GaAs기판, GaAs기판위에 형성된 채널 층, 채널 층위에 형성된 Al이 포함되지 않은 제1 반도체 층, 제1 반도체 층위에 형성되어 제1 반도체 층위에 제1 오목부을 생성하는 제1 도전형의 제1 및 제2 캡 층, 제1 및 제2 캡 층들에 형성되는 제1 및 제2 음 전극, 제1반도체층위의 제1오목부내에 형성되고 제1 및 제2캡 층들로부터 고립되는 제2 도전형의 제2 반도체 층 및 제2반도체층위에 형성된 게이트전극을 포함하는 헤테로접합 전계효과형 반도체장치 및 제조방법인 것으로 인정되고, 일본공개특허공보 평13-250939(2001.09.14)호(이하 "인용발명"이라 한다)는 GaAs기판, GaAs기판위에 형성된 채널 층, 채널 층위에 형성된 Al이 포함되지 않은 제1 반도체 층, 제1 반도체 층위에 형성되어 제1 반도체 층위에 오

목부을 생성하는 제1 도전형의 제1 및 제2 캡 층, 제1 및 제2 캡 층들에 형성되는 제1 및 제2 음 전극, 제1반도체층위의 오목부내에 형성되고 제1 및 제2캡 층들로부터 고립되는 제2 도전형의 제2 반도체 층 및 제2 반도체 층위에 형성된 게이트전극을 포함하는 전계효과트랜지스터 및 그 제조방법에 관하여 기재하고 있습니다. 본원 발명과 인용발명을 비교하면 GaAs기판, GaAs기판위에 형성된 채널 층, 채널 층위에 형성된 AI이 포함되지 않은 제1 반도체 층, 제1 반도체 층위에 형성되어 제1 반도체 층위에 오목부을 생성하는 제1 도전형의 제1 및 제2 캡 층, 제1 및 제2 캡 층들에 형성되는 제1 및 제2 음 전극, 제1 반도체 층위의 오목부내에 형성되고 제1 및 제2캡 층들로부터 고립되는 제2 도전형의 제2 반도체 층 및 제2 반도체 층위에 형성된 게이트전극을 갖고 게이트 턴 온 전압은 증가될 수 있고 동작 저항은 감소시킨다는 점에서 두 발명의 목적, 구성 및 효과가 비슷합니다. 따라서 상기 본원 청구범위에 기재된 발명은 이 기술 분야에서 통상의 지식을 가진 자라면 인용발명에 의하여 용이하게 발명할 수 있다고 판단됩니다.

[첨 부]

첨부1 일본공개특허공보 평13-250939호(2001.09.14) 1부. 끝.

2005.07.28

특허청

전기전자심사국

전자소자심사담당관실

심사관

고광석



<< 안내 >>

명세서 또는 도면 등의 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

보정료는 접수번호를 부여받아 이를 납부자번호로 "특허법·실용신안법·디자인보호법 및 상표법에 의한 특허료 등록료와 수수료의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요휴무일을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷으로(www.giro.go.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 통상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

문의사항이 있으시면 ☎017)384-1102로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터(☎1544-8080)로 문의하시기 바랍니다.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250939
 (43)Date of publication of application : 14.09.2001

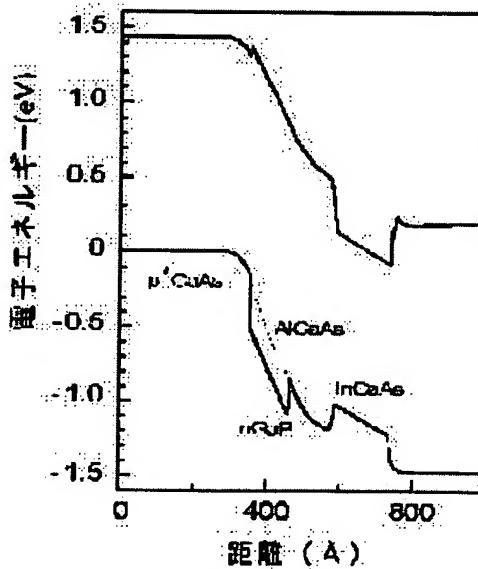
(51)Int.Cl. H01L 29/778
 H01L 21/338
 H01L 29/812

(21)Application number : 2000-060511 (71)Applicant : NEC CORP
 (22)Date of filing : 06.03.2000 (72)Inventor : KATO TAKEHIKO
 OTA KAZUKI
 MIYAMOTO HIRONOBU
 IWATA NAOTAKA
 KUZUHARA MASAHI

(54) FIELD EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the withstand voltage characteristic of a JFET and realize a stable operation of the JFET.
 SOLUTION: The field effect transistor having a buffer layer, active layer including a channel layer (e.g. InGaAs) composed of a first conductivity type epitaxially grown layer, source-drain electrodes formed through a first conductivity type contact layer on the active layer or side face, second conductivity type epitaxially grown gate layer (e.g. p+ GaAs) and gate electrode formed on the gate layer on a semi-insulative compound semiconductor substrate, comprises a semiconductor layer (e.g. InGaP) for rapidly lowering the balance band energy from the gate layer to the channel layer between the second conductivity type gate layer and the channel layer.



LEGAL STATUS

[Date of request for examination] 15.02.2001
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250939

(P2001-250939A)

(43) 公開日 平成13年9月14日 (2001.9.14)

51) Int. CL'

H 01 L 29/778
21/838
29/812

既別記号

F I

H 01 L 29/80

チヤロード(参考)

H 5 F 10 2

審査請求 有 請求項の数50 O L (全 30 頁)

21) 出願番号 特願2000-60511(P2000-60511)

22) 出願日 平成12年8月6日 (2000.8.6)

(71) 田嶋人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 武彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(73) 発明者 大田 一樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088528

弁理士 金田 韶之 (外2名)

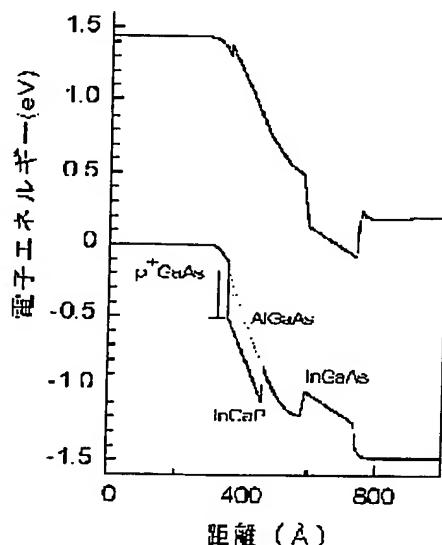
最表図に記載

(54) 【発明の名称】 電界効果トランジスタおよびその製造方法

(55) 【要約】

【課題】 J F E T の耐圧特性を向上させ、また J F E T の安定動作を実現する。

【解決手段】 半導体化合物半導体基板上に、バッファ層と、第1塗型のエピタキシャル成長層からなるチャネル層(例InGaAs)を含む活性層と、該活性層又は側面に形成された第2塗型のコンタクト層を介して形成されるソース・ドレイン電極と、第2塗型のエピタキシャル成長層からなるゲート層(例p+GaAs)及び該ゲート層上に形成されるゲート電極とを有する電界効果トランジスタであって、前記第2塗型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る偏電子帯エネルギーを急激に下げる半導体層(例InGaP)を有することを持つとする。



【特許請求の範囲】

【請求項 1】 半絶縁性化合物半導体基板上に、バッファ層と、第1導電型のエピタキシャル成長層からなるチャネル層を含む活性層と、該活性層上又は側面に形成された第2導電型のコンタクト層を介して形成されるソース・ドレイン電極と、第2導電型のエピタキシャル成長層からなるゲート層及び該ゲート層上に形成されるゲート電極とを有する電界効果トランジスタであって、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帯エネルギーを急激に下げる半導体層を有することを特徴とする電界効果トランジスタ。

【請求項 2】 価電子帯エネルギーを急激に下げる半導体層がInGaPからなる層であることを特徴とする請求項1に記載の電界効果トランジスタ。

【請求項 3】 前記第1導電型がn型であり、第2導電型がp型である請求項1又は2に記載の電界効果トランジスタ。

【請求項 4】 前記チャネル層がInGaAsまたはGaAsで構成され、第2導電型のゲート層がGaAs、AlGaAs、InGaAsもしくはInGaP層から構成されていることを特徴とする請求項1乃至3のいずれか1項に記載の電界効果トランジスタ。

【請求項 5】 価電子帯エネルギーを急激に下げる半導体層上に第1リセスを形成する半導体層と、該半導体層上に前記第1リセスより広い第2リセスを形成する半導体層が形成されており、前記第2導電型のゲート層が第1リセス内に形成されてなることを特徴とする請求項1乃至4のいずれか1項に記載の電界効果トランジスタ。

【請求項 6】 価電子帯エネルギーを急激に下げる半導体層上に、ソース・ドレイン電極に対してオーミックコンタクトを与える半導体層が形成されてなり、該半導体層により形成される1箇のリセス内に前記第2導電型のゲート層が形成されてなることを特徴とする請求項1乃至4のいずれか1項に記載の電界効果トランジスタ。

【請求項 7】 ソース・ドレイン電極に対してオーミックコンタクトを与える半導体層が価電子帯エネルギーを急激に下げる半導体層上に再成長形成されたものである請求項6に記載の電界効果トランジスタ。

【請求項 8】 ソース・ドレイン電極に対してオーミックコンタクトを与える半導体層が、InGaPからなる価電子帯エネルギーを急激に下げる半導体層上に連続してエピタキシャル成長されたものであり、該InGaP層をエッティングストップ層として前記オーミックコンタクトを与える半導体層をウエットエッティングしてリセスを形成し、該形成されたリセスに第2導電型のゲート層が再成長形成されてなることを特徴とする請求項6に記載の電界効果トランジスタ。

【請求項 9】 ソース・ドレイン電極に対してオーミックコンタクトを与える半導体層が、少なくともチャネル

層を含む活性層のソース・ドレイン電極形成領域を選択的に除去した後に再成長形成されてなる請求項1乃至4のいずれか1項に記載の電界効果トランジスタ。

【請求項 10】 チャネル層上に形成される活性層の半導体層が、少なくともInGaPを構成成分とする層のみで形成されていることを特徴とする請求項5乃至9のいずれか1項に記載の電界効果トランジスタ。

【請求項 11】 前記活性層の一部又は全てが、バッファ層上に形成される半導体層に凹部を形成した後に、前記第2導電型のゲート層と共に該凹部内に再成長形成されたものである請求項1乃至4のいずれか1項に記載の電界効果トランジスタ。

【請求項 12】 前記形成した凹部に露出する半導体層が、Al_xを含まない半導体層である請求項11に記載の電界効果トランジスタ。

【請求項 13】 前記凹部を形成する半導体層が、チャネル層と、該チャネル層上に形成されるエッティングストップ層と、該ストップ層上に形成されるソース・ドレイン電極用のオーミックコンタクト層であり、前記凹部をエッティングストップ層上のオーミックコンタクト層に形成したことを特徴とする請求項11又は12に記載の電界効果トランジスタ。

【請求項 14】 前記凹部を形成する半導体層が、ソース・ドレイン電極用のオーミックコンタクト層であり、該形成した凹部に活性層の全てを再成長形成することを特徴とする請求項11又は12に記載の電界効果トランジスタ。

【請求項 15】 前記第2導電型のゲート層が価電子帯エネルギーを急激に下げる半導体層に接して形成されてなる請求項1乃至14のいずれか1項に記載の電界効果トランジスタ。

【請求項 16】 活性層上に形成される第2導電型のゲート層もしくはソース・ドレイン電極用のコンタクト層のいずれか一方又は両方が前記価電子帯エネルギーを急激に下げる半導体層上にInGaAsP層を介して形成されていることを特徴とする請求項5乃至9のいずれか1項に記載の電界効果トランジスタ。

【請求項 17】 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及びソース・ドレイン電極用のコンタクト層を順次エピタキシャル成長させる工程と、前記コンタクト層中に広い第2のリセスを形成する工程と、この第2のリセス内に露出した活性層に第1のリセスを形成する工程と、該第1のリセス内に第2導電型を有するゲート層を選択的に再成長させる工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帯エネルギーを急激に下げる半導体層を設けることを特徴とする電界効果トランジスタの製造方法。

【請求項 18】 価電子帯エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層

をエッチングストップ層として前記第1のリセスをウエットエッチングにより形成することを特徴とする請求項17に記載の電界効果トランジスタの製造方法。

【請求項19】 価電子帯エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層上にInGaAsP層を含む活性層と該活性層上に前記コンタクト層を形成する工程と、該InGaP層をエッチングストップ層として前記InGaAsP層を含む活性層中に第1のリセスをウエットエッチングする工程を含むことを特徴とする請求項17に記載の電界効果トランジスタの製造方法。

【請求項20】 チャネル層上に形成される活性層の半導体層が、少なくともIn、Ga、Pを構成成分とする層のみで形成することを特徴とする請求項17乃至19のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項21】 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及びソースドレイン電極用のコンタクト層を順次エピタキシャル成長させる工程と、少なくとも前記コンタクト層中にリセスを形成する工程と、該リセス内に第2導電型を有するゲート層を選択的に再成長させる工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帯エネルギーを急激に下げる半導体層を設けることを特徴とする電界効果トランジスタの製造方法。

【請求項22】 価電子帯エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層をエッチングストップ層として前記コンタクト層中にリセスをウエットエッチングにより形成することを特徴とする請求項21に記載の電界効果トランジスタの製造方法。

【請求項23】 価電子帯エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層上にInGaAsP層を介して前記コンタクト層を形成する工程と、該InGaP層をエッチングストップ層として前記コンタクト層及びInGaAsP層中にリセスをウエットエッチングする工程を含むことを特徴とする請求項20に記載の電界効果トランジスタの製造方法。

【請求項24】 チャネル層上に形成される活性層の半導体層が、少なくともIn、Ga、Pを構成成分とする層のみで形成することを特徴とする請求項21乃至23のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項25】 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及び第2導電型を有するゲート層を順次積層する工程と、前記ゲート層上にゲート電極を設ける工程と、前記ゲート電極をマスクにしてゲート電極下以外のゲート層をエッチングして除去する工程と、前記活性層のソース及びドレ

イン領域を選択的に除去する工程と、該除去領域にソース・ドレイン電極用のオーミックコンタクト層を再成長形成する工程と、該オーミックコンタクト層上にソース及ドレインの各電極を形成する工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帯エネルギーを急激に下げる半導体層を設けることを特徴とする電界効果トランジスタの製造方法。

【請求項26】 価電子帯エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層をエッチングストップ層として前記ゲート層をウエットエッチングすることを特徴とする請求項25に記載の電界効果トランジスタの製造方法。

【請求項27】 チャネル層上に形成される活性層の半導体層が、少なくともIn、Ga、Pを構成成分とする層のみで形成することを特徴とする請求項25又は26に記載の電界効果トランジスタの製造方法。

【請求項28】 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及び第2導電型を有するゲート層を順次積層する工程と、前記ゲート層を所望形状にバーニングする工程と、前記活性層のソース及びドレイン領域を選択的に除去する工程と、該除去領域にソース・ドレイン電極用のオーミックコンタクト層を再成長形成する工程と、前記ゲート層上にゲート電極を形成する工程と、前記オーミックコンタクト層上にソース及ドレインの各電極を形成する工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帯エネルギーを急激に下げる半導体層を設けることを特徴とする電界効果トランジスタの製造方法。

【請求項29】 価電子帯エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層をエッチングストップ層として前記ゲート層をウエットエッチングにより所望形状にバーニングすることを特徴とする請求項28に記載の電界効果トランジスタの製造方法。

【請求項30】 前記ゲート電極は、活性層のソース・ドレイン領域を選択的に除去する前に形成することを特徴とする請求項28又は29に記載の電界効果トランジスタの製造方法。

【請求項31】 前記ゲート電極は、ソース・ドレイン電極用のオーミックコンタクト層形成後に形成することを特徴とする請求項28又は29に記載の電界効果トランジスタの製造方法。

【請求項32】 チャネル層上に形成される活性層の半導体層が、少なくともIn、Ga、Pを構成成分とする層のみで形成することを特徴とする請求項28乃至31のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項33】 半絶縁性化合物半導体基板上に、第1

導電型のバッファ層、チャネル層を含む活性層、及び第2導電型を有するゲート層を順次積層する工程と、前記ゲート層上にゲート電極を設ける工程と、前記ゲート電極をマスクにしてゲート電極下以外のゲート層をエッチングして除去する工程と、前記活性層のソース及びドレイン領域にソース・ドレイン電極用のオーミックコンタクト層を再成長形成する工程と、該オーミックコンタクト層上にソース及ドレインの各電極を形成する工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層を設けることを特徴とする電界効果トランジスタの製造方法。

【請求項34】 価電子帶エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層をエッチングストップ層として前記ゲート層をウエットエッチングによりエッチングすることを特徴とする請求項33に記載の電界効果トランジスタの製造方法。

【請求項35】 価電子帶エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層上にInGaAsP層を介して前記第2導電型のゲート層が形成され、該InGaAsP層をエッチングストップ層として前記ゲート層をウエットエッチングにより所望形状にバーニングすることを特徴とする請求項33に記載の電界効果トランジスタの製造方法。

【請求項36】 チャネル層上に形成される活性層の半導体層が、少なくともIn、Ga、Pを構成成分とする層のみで形成することを特徴とする請求項33乃至35のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項37】 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及び第2導電型を有するゲート層を順次積層する工程と、前記ゲート層を所望形状にバーニングする工程と、前記活性層のソース及びドレイン領域にソース・ドレイン電極用のオーミックコンタクト層を再成長形成する工程と、前記ゲート層上にゲート電極を形成する工程と、前記オーミックコンタクト層上にソース及ドレインの各電極を形成する工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層を設けることを特徴とする電界効果トランジスタの製造方法。

【請求項38】 価電子帶エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層をエッチングストップ層として前記ゲート層をウエットエッチングにより所望形状にバーニングすることを特徴とする請求項37に記載の電界効果トランジスタの製造方法。

【請求項39】 価電子帶エネルギーを急激に下げる半導体層がInGaPからなる層であり、該InGaP層上にInGaAsP層を介して前記第2導電型のゲート

層が形成され、該InGaAsP層をエッチングストップ層として前記ゲート層をウエットエッチングにより所望形状にバーニングすることを特徴とする請求項37に記載の電界効果トランジスタの製造方法。

【請求項40】 前記ゲート電極は、ソース・ドレイン電極用のオーミックコンタクト層形成前に形成することを特徴とする請求項37乃至39のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項41】 前記ゲート電極は、ソース・ドレイン電極用のオーミックコンタクト層形成後に形成することを特徴とする請求項37乃至39のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項42】 チャネル層上に形成される活性層の半導体層が、少なくともIn、Ga、Pを構成成分とする層のみで形成することを特徴とする請求項37乃至41のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項43】 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層と、該チャネル層上に形成されるエッチングストップ層と、該ストップ層上に形成されるソース・ドレイン電極用のオーミックコンタクト層とを順次エピタキシャル成長させる工程と、該オーミックコンタクト層上にゲート領域を開口するマスク層を形成する工程と、該マスク層の開口部に露出するオーミックコンタクト層を除去して凹部を形成する工程と、該形成された凹部に第1導電型の半導体層と、第2導電型のゲート層をエピタキシャル成長させる工程を含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層を前記凹部に成長させる第1導電型の半導体層中に設けることを特徴とする電界効果トランジスタの製造方法。

【請求項44】 価電子帶エネルギーを急激に下げる半導体層がInGaPからなる層であることを特徴とする請求項43に記載の電界効果トランジスタの製造方法。

【請求項45】 前記第2導電型のゲート層を価電子帶エネルギーを急激に下げる半導体層に統合して再成長形成することを特徴とする請求項43又は44に記載の電界効果トランジスタの製造方法。

【請求項46】 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、エッチングストップ層と、該ストップ層上に形成されるソース・ドレイン電極用のオーミックコンタクト層とを順次エピタキシャル成長させる工程と、該オーミックコンタクト層上にゲート領域を開口するマスク層を形成する工程と、該マスク層の開口部に露出するオーミックコンタクト層を除去して凹部を形成する工程と、該形成された凹部にチャネル層を含む第1導電型の半導体層と、第2導電型のゲート層をエピタキシャル成長させる工程を含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に

至る価電子帯エネルギーを急激に下げる半導体層を前記凹部に成長させる第1導電型の半導体層中に設けることを特徴とする電界効果トランジスタの製造方法。

【請求項47】 価電子帯エネルギーを急激に下げる半導体層がInGaPからなる層であることを特徴とする請求項46に記載の電界効果トランジスタの製造方法。

【請求項48】 前記第2導電型のゲート層を価電子帯エネルギーを急激に下げる半導体層に統合して再成長形成することを特徴とする請求項46又は47に記載の電界効果トランジスタの製造方法。

【請求項49】 前記第1導電型がn型であり、第2導電型がp型である請求項17乃至48のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項50】 前記チャネル層がInGaAsまたはGaAsで構成され、第2導電型のゲート層がGaAs、AlGaAs、InGaAsもしくはInGaP層から構成されていることを特徴とする請求項17乃至49のいずれか1項に記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界効果トランジスタ(Field Effect Transistor; 「FET」)に関するものである。

【0002】

【従来の技術】 GaAs系、InP系III-V族化合物半導体を用いたHEMTに代表されるヘテロ接合FETは低雑音、高出力、高効率の高周波デバイスとして広い用途に使用されている。図61は、例えば特開平10-54924号公報に示されたFETの断面構造である。図61において、1005は半絶縁性GaAs基板、1004は半絶縁性GaAs基板1005の上に形成されたバッファ層、1003はバッファ層1004の所定領域に形成されたn-GaAs活性層、1007はバッファ層1004のn-GaAs活性層1003が形成されていない領域に形成されたn+オームコンタクト領域、1002は上記n-GaAs活性層1003の上に形成されたn-AlGaAsエッキングストップ層、1001は上記n-AlGaAsエッキングストップ層1002の所定領域に形成されたi-GaAs層、1008は上記i-GaAs層1001の上に形成されたSiO₂絶縁膜、1015及び1016は上記n+オームコンタクト領域1007の上に形成されたAuGe系金属よりなるソース・ドレイン電極であり、1017はp+型半導体よりなるゲート層である。以上のようにゲート領域にpn接合を有するFETはJFET(Junction Field Effect Transistor)として知られており、そのpn接合をバイアスし、ゲート直下の空間電荷領域幅を制御することによってドレイン電流が制御されるものである。

【0003】 次に上記半導体装置の製造方法を図62～64を参照して説明する。まず、第1ステップはエビタキシャル結晶成長法により順次1001～1005層を形成する。上記i-GaAs層1005の上の所定部分にイオン注入・アニール法を用いてn+オームコンタクト領域1007を形成する。その後半導体基板全面にSiO₂絶縁膜1008を堆積し、レジストマスク1009を用いてSiO₂膜1008を開口し、更にi-GaAs層1001をドライエッキングすることにより、ゲート領域を形成する(図62)。

【0004】 次に、上記ゲート領域にSiO₂絶縁膜1008をマスクとしてMOVD(Metal Organic Chemical Vapor Deposition)法もしくはCBE(Chemical Beam Epitaxy)法を用いて、p型の伝導を示す半導体層1007を形成する(図63)。その後、フォトレジスト1014をマスクとしてSiO₂絶縁膜1008のソース・ドレイン電極形成部を開口し(図64)、該フォトレジスト1014を用いて蒸着/リフトオフ法にてAuGe系金属よりなるドレイン電極1015、ソース電極1016を形成することで、図61に示す半導体装置が得られる。

【0005】

【発明が解決しようとする課題】 従来の半導体装置、及びその製造方法は以上のように構成されている。しかし、p+型の伝導を示す半導体層を形成する際、AlGaAs上に形成すると、AlGaAsとGeAs間もしくはAlGaAsとInGaAs間の価電子帯のエネルギー不連続量が小さいため、電圧を印加したときにホールの注入が起き、FETの耐圧特性の劣化や動作の不安定化がおこる。

【0006】 又、Alが酸化されて薄い自然酸化膜が形成されるため、p+型半導体のモフォロジーが悪い。さらにAlGaAs上にp+型の半導体を形成するとその界面に多数の界面準位が存在する。これらはこの半導体装置を高周波デバイスとして使用する際に高周波特性を大きく劣化させる。

【0007】 また、p+型半導体を成長させるAlGaAs層表面をドライエッキングで形成するために、AlGaAs層にダメージが生まれる。そして、このドライエッキング法での両物質間の選択性はあまり良くない。このため、FETを製造した時高周波特性の劣化および特性のばらつきが生じる。

【0008】 FETの各部分に生じる分布常数的な電気抵抗にはオームコンタクトからチャネル層へのコンタクト抵抗、ゲート下のシート抵抗がある。そして、FETのオン抵抗はソース電極からドレイン電極までの全抵抗である。1996年IEEE GaAs IC Symposium頁119に記載されているように、低いオン抵抗は低電圧動作において高出力、高効率を得るために重要である。しかし、従来構造においてはオームコンタクト

極からチャネル層へのコンタクト抵抗も高い。

【0009】本発明の第1の目的は、JFETの耐圧特性を向上させ、またJFETの安定動作を実現することである。第2の目的は、p+型の伝導を示す半導体形成時のモフォロジーを改善し、また界面準位を無くすることによりJFETの高周波特性を高めることである。第3の目的は、半導体物質の製造法を改良することによりJFETを製造した時高周波特性の劣化および特性のばらつきを無くすことである。第4の目的は、エビタキシャル構造に変化を加えることにより、キャップ層からチャネル層へのコンタクト抵抗を低減することである。第5の目的は、半導体物質を形成するときに構造制御の容易な構造を実現することである。第6の目的は、FETのゲート形成において均一性がよく、構造制御が容易な製造方法を提供することである。

【0010】

【課題を解決するための手段】本発明の電界効果トランジスタは、半絶縁性化合物半導体基板上に、バッファ層と、第1導電型のエビタキシャル成長層からなるチャネル層を含む活性層と、該活性層上又は側面に形成された第1導電型のコンタクト層を介して形成されるソース・ドレイン電極と、第2導電型のエビタキシャル成長層からなるゲート層及び該ゲート層上に形成されるゲート電極とを有する電界効果トランジスタであって、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帯エネルギーを急激に下げる半導体層（以下、「エネルギー不連続層」と称す）を有することを持つとする。

【0011】本発明の電界効果トランジスタでは、（1）前記エネルギー不連続層がInGaAsPからなる層であること、（2）前記第1導電型がn型であり、第2導電型がp型であること、（3）前記チャネル層がInGaAsまたはGaAsで構成され、第2導電型のゲート層がGaAs、AlGaAs、InGaAsもしくはInGaP層から構成されていること、（4）前記エネルギー不連続層上に第1リセスを形成する半導体層と、該半導体層上に前記第1リセスより広い第2リセスを形成する半導体層が形成されており、前記第2導電型のゲート層が第1リセス内に形成されてなること、（5）前記エネルギー不連続層上に、ソース・ドレイン電極に対してオーミックコンタクトを与える半導体層が形成されてなり、該半導体層により形成される1段のリセス内に前記第2導電型のゲート層が形成されてなること、

（6）前記（5）において、ソース・ドレイン電極に対してオーミックコンタクトを与える半導体層が前記エネルギー不連続層上に再成長形成されたものであること、（7）前記（5）において、ソース・ドレイン電極に対してオーミックコンタクトを与える半導体層が前記InGaPからなるエネルギー不連続層上に連続してエビタキシャル成長されたものであり、該InGaP層をエッ

チングストップ層として前記オーミックコンタクトを与える半導体層をウェットエッチングしてリセスを形成し、該形成されたリセスに第2導電型のゲート層が再成長形成されること、（8）ソース・ドレイン電極に

対してオーミックコンタクトを与える半導体層が、少なくともチャネル層を含む活性層のソース・ドレイン電極形成領域を選択的に除去した後に再成長形成されてなること、（9）上記（4）～（8）において、チャネル層に形成される活性層の半導体層が、少なくともIn、Ga、Pを構成成分とする層のみで形成されていること

（10）前記活性層の一部又は全てが、バッファ層上に形成される半導体層に凹部を形成した後に、前記第2導電型のゲート層と共に該凹部内に再成長形成されたものであること、（11）前記（10）において、前記形成した凹部に露出する半導体層が、Alを含まない半導体層であること、（12）前記（10）又は（11）において、前記凹部を形成する半導体層が、チャネル層と、該チャネル層上に形成されるエッチングストップ層と、該ストップ層上に形成されるソース・ドレイン電極用のオーミックコンタクト層であり、前記凹部をエッチングストップ層上のオーミックコンタクト層に形成したこと、（13）前記（10）又は（11）において、前記凹部を形成する半導体層が、ソース・ドレイン電極用のオーミックコンタクト層であり、該形成した凹部に活性層の全てを再成長形成したこと、（14）前記第2導電型のゲート層が前記エネルギー不連続層に接して形成されこと、（15）前記（4）～（7）において、活性層上に形成される第2導電型のゲート層もしくはソース・ドレイン電極用のコンタクト層のいずれか一方又は両方が前記価電子帯エネルギーを急激に下げる半導体層上にInGaAsP層を介して形成されていること、を持つとする電界効果トランジスタが提供される。

【0012】また本発明は、上記電界効果トランジスタの製造方法に関するものであり、以下の態様を含むものである。

【0013】（a）半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及びソース・ドレイン電極用のコンタクト層を順次エビタキシャル成長させる工程と、前記コンタクト層中に広い第2のリセスを形成する工程と、この第2のリセス内に露出した活性層に第1のリセスを形成する工程と、該第1のリセス内に第2導電型を有するゲート層を選択的に再成長させる工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帯エネルギーを急激に下げる半導体層（エネルギー不連続層）を設けることを特徴とする電界効果トランジスタの製造方法であり、該エネルギー不連続層がInGaPからなる層であり、該InGaP層をエッチングストップ層として前記第1のリセスをウェットエッチングにより形成する製造方法、あるいは前記InGaP層上

に、該 $In_{n}Ga_{a}P$ 層上に $In_{n}Ga_{a}As_{p}$ 層を含む活性層と該活性層上に前記コンタクト層を形成する工程と、該 $In_{n}Ga_{a}P$ 層をエッチングストップ層として前記 $In_{n}Ga_{a}As_{p}$ 層を含む活性層中に第1のリセスをウエットエッチングする工程を含む製造方法、及びチャネル層上に形成される活性層の半導体層が、少なくとも In_{n}, Ga, P を構成成分とする層のみで形成することを持つする電界効果トランジスタの製造方法。

【0014】(b) 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及びソースドレイン電極用のコンタクト層を順次エピタキシャル成長させる工程と、少なくとも前記コンタクト層中にリセスを形成する工程と、該リセス内に第2導電型を有するゲート層を選択的に再成長させる工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層（エネルギー不連続層）を設けることを特徴とする電界効果トランジスタの製造方法であり、該エネルギー不連続層 $In_{n}Ga_{a}P$ からなる層であり、該 $In_{n}Ga_{a}P$ 層をエッチングストップ層として前記コンタクト層中にリセスをウエットエッチングにより形成する製造方法、あるいは該 $In_{n}Ga_{a}P$ 層上に $In_{n}Ga_{a}As_{p}$ 層を介して前記コンタクト層を形成する工程と、該 $In_{n}Ga_{a}P$ 層をエッチングストップ層として前記コンタクト層及び $In_{n}Ga_{a}As_{p}$ 層中にリセスをウエットエッチングする工程を含むことを特徴とする製造方法、及びチャネル層上に形成される活性層の半導体層が、少なくとも In_{n}, Ga, P を構成成分とする層のみで形成することを持つする電界効果トランジスタの製造方法。

【0015】(c) 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及び第2導電型を有するゲート層を順次積層する工程と、前記ゲート層上にゲート電極を設ける工程と、前記ゲート電極をマスクにしてゲート電極下以外のゲート層をエッチングして除去する工程と、前記活性層のソース及びドレイン領域を選択的に除去する工程と、該除去領域にソース・ドレイン電極用のオーミックコンタクト層を再成長形成する工程と、該オーミックコンタクト層上にソース及ドレインの各電極を形成する工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層（エネルギー不連続層）を設けることを特徴とする電界効果トランジスタの製造方法であり、該エネルギー不連続層が $In_{n}Ga_{a}P$ からなる層であり、該 $In_{n}Ga_{a}P$ 層をエッチングストップ層として前記ゲート層をウエットエッチングすることを特徴とする製造方法、及びチャネル層上に形成される活性層の半導体層が、少なくとも In_{n}, Ga, P を構成成分とする層のみで形成することを持つする電界効果トランジスタの製造方法。

【0015】(d) 半絶縁性化合物半導体基板上に、第

1導電型のバッファ層、チャネル層を含む活性層、及び第2導電型を有するゲート層を順次積層する工程と、前記ゲート層を所望形状にパターニングする工程と、前記活性層のソース及びドレイン領域を選択的に除去する工程と、該除去領域にソース・ドレイン電極用のオーミックコンタクト層を再成長形成する工程と、前記ゲート層上にゲート電極を形成する工程と、前記オーミックコンタクト層上にソース及ドレインの各電極を形成する工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層（エネルギー不連続層）を設けることを特徴とする電界効果トランジスタの製造方法であり、該エネルギー不連続層が $In_{n}Ga_{a}P$ からなる層であり、該 $In_{n}Ga_{a}P$ 層をエッチングストップ層として前記ゲート層をウエットエッチングにより所望形状にパターニングすることを特徴とする製造方法。前記ゲート電極は、活性層のソース・ドレイン領域を選択的に除去する前に形成する、あるいはソース・ドレイン電極用のオーミックコンタクト層形成後に形成することができる。チャネル層上に形成される活性層の半導体層は、少なくとも In_{n}, Ga, P を構成成分とする層のみで形成することができる。

【0017】(e) 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及び第2導電型を有するゲート層を順次積層する工程と、前記ゲート層上にゲート電極を設ける工程と、前記ゲート電極をマスクにしてゲート電極下以外のゲート層をエッチングして除去する工程と、前記活性層のソース及びドレイン領域にソース・ドレイン電極用のオーミックコンタクト層を再成長形成する工程と、該オーミックコンタクト層上にソース及ドレインの各電極を形成する工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層（エネルギー不連続層）を設けることを特徴とする電界効果トランジスタの製造方法であり、該エネルギー不連続層が $In_{n}Ga_{a}P$ からなる層であり、該 $In_{n}Ga_{a}P$ 層をエッチングストップ層として前記ゲート層をウエットエッチングによりエッチングする、あるいは該 $In_{n}Ga_{a}P$ 層上に $In_{n}Ga_{a}As_{p}$ 層を介して前記第2導電型のゲート層が形成され、該 $In_{n}Ga_{a}As_{p}$ 層をエッチングストップ層として前記ゲート層をウエットエッチングにより所望形状にパターニングすることを特徴とする製造方法、及びチャネル層上に形成される活性層の半導体層が、少なくとも In_{n}, Ga, P を構成成分とする層のみで形成することを持つする電界効果トランジスタの製造方法。

【0018】(f) 半絶縁性化合物半導体基板上に、第1導電型のバッファ層、チャネル層を含む活性層、及び第2導電型を有するゲート層を順次積層する工程と、前記ゲート層を所望形状にパターニングする工程と、前記

活性層のソース及びドレイン領域にソース・ドレイン電極用のオーミックコンタクト層を再成長形成する工程と、前記ゲート層上にゲート電極を形成する工程と、前記オーミックコンタクト層上にソース及ドレインの各電極を形成する工程とを含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層（エネルギー不連続層）を設けることを特徴とする電界効果トランジスタの製造方法であり、該エネルギー不連続層がInGaPからなる層であり、該InGaP層をエッチングストップ層として前記ゲート層をウエットエッチングにより所望形状にバーニングする、あるいは該InGaP層上にInGaAsP層を介して前記第2導電型のゲート層が形成され、該InGaAsP層をエッチングストップ層として前記ゲート層をウエットエッチングにより所望形状にバーニングすることを特徴とする製造方法。前記ゲート電極は、ソース・ドレイン電極用のオーミックコンタクト層形成前に形成するか、ソース・ドレイン電極用のオーミックコンタクト層形成後に形成することができる。チャネル層上に形成される活性層の半導体層は、少なくともIn、Ga、Pを構成成分とする層のみで形成することができる。

【0019】(e) 半導体化合物半導体基板上に、第1導電型のバッファ層、チャネル層と、該チャネル層上に形成されるエッチングストップ層と、該ストップ層上に形成されるソース・ドレイン電極用のオーミックコンタクト層とを順次エビタキシャル成長させる工程と、該オーミックコンタクト層上にゲート領域を開口するマスク層を形成する工程と、該マスク層の開口部に露出するオーミックコンタクト層を除去して凹部を形成する工程と、該形成された凹部に第1導電型の半導体層と、第2導電型のゲート層をエビタキシャル成長させる工程を含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層（エネルギー不連続層）を前記凹部に成長させる第1導電型の半導体層中に設けることを特徴とする電界効果トランジスタの製造方法であり、該エネルギー不連続層がInGaPからなる層であることを特徴とする製造方法。前記第2導電型のゲート層を価電子帶エネルギーを急激に下げる半導体層に統して再成長形成することができる。

【0020】(h) 半導体化合物半導体基板上に、第1導電型のバッファ層、エッチングストップ層と、該ストップ層上に形成されるソース・ドレイン電極用のオーミックコンタクト層とを順次エビタキシャル成長させる工程と、該オーミックコンタクト層上にゲート領域を開口するマスク層を形成する工程と、該マスク層の開口部に露出するオーミックコンタクト層を除去して凹部を形成する工程と、該形成された凹部にチャネル層を含む第1導電型の半導体層と、第2導電型のゲート層をエビタ

キシャル成長させる工程を含み、前記第2導電型のゲート層とチャネル層との間に前記ゲート層からチャネル層に至る価電子帶エネルギーを急激に下げる半導体層（エネルギー不連続層）を前記凹部に成長させる第1導電型の半導体層中に設けることを特徴とする電界効果トランジスタの製造方法であり、エネルギー不連続層がInGaPからなる層であることを特徴とする製造方法。前記第2導電型のゲート層を価電子帶エネルギーを急激に下げる半導体層に統して再成長形成することができる。

【0021】(i) 上記(e)～(h)において、前記第1導電型がn型であり、第2導電型がp型である電界効果トランジスタの製造方法。

【0022】(j) 上記(e)～(i)において、前記チャネル層がInGaAsまたはGaAsで構成され、第2導電型のゲート層がGaAs、AlGaAs、InGaAsもしくはInGaP層から構成されていることを特徴とする電界効果トランジスタの製造方法。

【0023】

【発明の実施の形態】図1は、本発明の一構成になる電界効果トランジスタのエネルギー・バンド図を模式的に示したものである。この例では、チャネル層としてInGaAsを、ゲート層としてp+GaAsとした場合を例に説明する。前記従来技術では、p+GaAsゲート層はAlGaAs層上に形成されており、価電子帶エネルギーはチャネル層に向かってなだらかに減少している（実線）。これに対して、InGaP層上にp+GaAsゲート層を形成した本発明になる電界効果トランジスタでは、その界面で価電子帶エネルギーが急激に低下している（実線）。このため、本発明の電界効果トランジスタでは、ゲート電圧印加時に正孔がチャネルに到達しにくくなり、アバランシェ降伏が起きにくくなる。その結果、高耐圧で安定動作するJFETを提供できる。

【0024】尚、InGaP層は従来よりAs系材料との高いエッチング選択比が得られることからエッチングストップ層として利用することは知られていたが、本発明ののようなJFETにおいて、異なる導電型のゲート層とチャネル層との間に形成することで、上記のような効果が得られることは全く知られておらず、この様な効果は本発明者らが初めて見出したものである。

【0025】又、InGaP層は酸化されやすいAlを含んでいないため、該InGaP層上に再成長により半導体層を形成する場合に、モフォロジーの良い、界面準位の少ない構造を得ることができる。又、上記の通り、高いエッチング選択比が得られることから、ダメージの少ないウエットエッチングの採用を可能ならしめ、FETを製造した時、高周波特性の劣化および特性のばらつきを解消できる。

【0026】また本発明では、このInGaP層とゲート層との間にInGaAsP層を介在させても、上記の効果は損なわれるものではない。

【0027】

【実施例】以下、本発明の実施の形態について添付の図面を参照しながら説明するが、本発明は、これらのみに限定されるものではない。

【0028】実施例1

図2は本発明の第1の実施の形態の構造を示す断面図、図3～図5は同形態の製造過程における断面図である。以下、図2～図5を参照して第1の実施の形態について説明する。

【0029】半絶縁性GeAs基板101上に、膜厚400nmのGeAsバッファ層102、膜厚100nmのアンドープAl0.2Ga0.8Asバッファー層103、Siを4×1018cm⁻³ドープした膜厚4nmのAl0.2Ga0.8As電子供給層104、膜厚2nmのアンドープAl0.2Ga0.8Asスペーサ層105、膜厚15nmのアンドープIn0.2Ga0.8Asチャネル層106、膜厚2nmのアンドープAl0.2Ga0.8Asスペーサ層107、Siを4×1018cm⁻³ドープした膜厚9nmのAl0.2Ga0.8As電子供給層108、膜厚17nmのアンドープIn0.49Ga0.51P層109、膜厚30nmのアンドープGeAs埋め込み層110、Siを4×1018cm⁻³ドープした膜厚6nmのAl0.2Ga0.8Asワイヤドリセスストッパ層111、Siを4×1018cm⁻³ドープした膜厚100nmのGeAsキャップ層112を順次分子錠成長(MBE)法または有機金属気相成長(MOCVD)法によりエビタキシャル成長する。図3はエビタキシャル成長後の構造を示している。

【0030】次に、図4に示すように、作成したウェハ上にワイヤドリセス(第2のリセス)が開口したマスク191を形成し、Al0.2Ga0.8Asワイヤドリセスストッパ層111をエッチングストッパ層に用いてGeAsキャップ層112層を選択的にエッチングする。このような選択エッチングはECRエッチング装置またはRIE装置を用い、ハロゲン元素として塩素のみを含んだ塩化ガスとフッ素のみを含んだフッ化物ガスとの混合ガス(例えばBCl₃+SF₆など)を導入したドライエッチングにより可能である。

【0031】表面に露出している部分のAl0.2Ga0.8Asワイヤドリセスストッパ層111とマスク191を除去した後、全面にSiO₂膜181を作成する。新たにゲートリセス部(第1のリセス)が開口したマスク192を形成し、SiO₂膜181をエッチングする。さらに、In0.49Ga0.51P層109をストッパ層に用いて膜厚30nmのアンドープGeAs埋め込み層110を例えば硫酸系のエッチャントにより選択的にウェットエッチングする。図5はウェットエッチング後の構造を示している。

【0032】次に、図6に示すように、マスク192を除去後、表面に露出したIn0.49Ga0.51P層109上にSiO₂膜181をマスクとして、ゲート開口部にM

BE法あるいはMOCVD法によりZnまたはCを1×10²⁰cm⁻³ドープしたp+GeAs層120を成長する。

【0033】その後、p+GeAs層120の上にゲート電極171を形成する。次にAuGeを蒸着リフトオフ及びアロイ(例えば400°C/1min.)を行い、オーミック電極として、ソース電極172及びドレイン電極173を形成し、図2の構造を得る。

【0034】この構造を用いることによりp+型の伝導を示す半導体、すなわちp+GeAs層120形成時のモフォロジーを改善し、界面準位を無くすことによりJFETの高周波特性を高めることができる。また、InGaP層を設けたことによりJFETを製造した時、ダメージの少ないウェットエッチングが可能となり、高周波特性の劣化および特性のはらつきを無くすことができる。さらに、層にInGaP層を用いることによりJFETの耐圧特性を向上させ、またJFETの安定動作を実現することができる。そして、この構造においてはエビタキシャル成長時にV族元素の切り替えが必要な層とチャネル層が離れているためV族元素切り替え制御がFET動作に与える影響がない。

【0035】実施例2

図7は本発明の第2の実施の形態の構造を示す断面図、図8～図11は同形態の製造過程における断面図である。以下、図7～図11を参照して第2の実施の形態について説明する。

【0036】半絶縁性GeAs基板201上に、膜厚400nmのGeAsバッファ層202、膜厚100nmのアンドープAl0.2Ga0.8Asバッファー層203、Siを4×1018cm⁻³ドープした膜厚4nmのAl0.2Ga0.8As電子供給層204、膜厚2nmのアンドープAl0.2Ga0.8Asスペーサ層205、膜厚15nmのアンドープIn0.2Ga0.8Asチャネル層206、膜厚2nmのアンドープAl0.2Ga0.8Asスペーサ層207、Siを4×1018cm⁻³ドープした膜厚9nmのAl0.2Ga0.8As電子供給層208、膜厚17nmのアンドープIn0.49Ga0.51P層209、Siを4×1018cm⁻³ドープした膜厚100nmのGeAsキャップ層212を順次分子錠成長(MBE)法または有機金属気相成長(MOCVD)法によりエビタキシャル成長する。図8はエビタキシャル成長後の構造を示している。

【0037】次に、作成したウェハ上に広いリセスが開口したマスク291を形成し、In0.49Ga0.51P層209をストッパ層に用いてGeAsキャップ層212を、例えば硫酸系のエッチャントにより選択的にウェットエッチングする。図9はウェットエッチング後の構造を示している。

【0038】マスク291を除去した後、全面にSiO₂膜281を作成する。新たにゲートリセス部が開口し

たマスク392を形成し、SiO₂膜281をエッチングする。図10はSiO₂膜281をエッチングした後の構造を示している。次に、図11に示すように、マスク392を除去後、表面に露出したIn0.49Ga0.51P層219上にSiO₂膜281をマスクとして、ゲート開口部にMBE法あるいはMOCVD法によりZnまたはCを1×10²⁰cm⁻³ドープしたp+GaAs220層を成長する。

【0039】その後、p+GaAs220層の上にゲート電極271を形成する。次にAuGeを蒸着リフトオフ及びアロイ（例えば400°C/1min.）を行い、オーミック電極として、ソース電極272及びドレイン電極273を形成し、図7の構造を得る。

【0040】この構造を用いることによりp+型の伝導を示す半導体形成時のモフォロジーを改善し、界面準位を無くすことによりJFETの高周波特性を高めることができる。また、InGaP層を設けたことによりJFETを製造した時、ダメージの少ないウエットエッチングが可能となり、高周波特性の劣化および特性のばらつきを無くすことができる。さらに、層にInGaP層を用いることによりJFETの耐圧特性を向上させ、またJFETの安定動作を実現することができる。そして、この構造においてはエビタキシャル成長時にV族元素の切り替えが必要な層とチャネル層が離れているためV族元素切り替え制御がFET動作に与える影響がない。

【0041】実施例3

図12は本発明の第3の実施の形態の構造を示す断面図、図13～図16は同形態の製造過程における断面図である。以下、図12～図16を参照して第3の実施の形態について説明する。

【0042】半導体性GaAs基板301上に、膜厚400nmのGaAsバッファ層302、膜厚100nmのアンドープAl0.2Ga0.8Asバッファ層303、Siを4×10¹⁸cm⁻³ドープした膜厚4nmのAl0.2Ga0.8As電子供給層304、膜厚2nmのアンドープAl0.2Ga0.8Asスペーサ層305、膜厚15nmのアンドープIn0.2Ga0.8Asチャネル層306、膜厚2nmのアンドープAl0.2Ga0.8Asスペーサ層307、Siを4×10¹⁸cm⁻³ドープした膜厚9nmのAl0.2Ga0.8As電子供給層308、膜厚17nmのアンドープIn0.49Ga0.51P層309、ZnまたはCを1×10²⁰cm⁻³ドープしたp+GaAs層320を順次分子線成長（MBE）法または有機金属気相成長（MOCVD）法によりエビタキシャル成長する。図13はエビタキシャル成長後の構造を示している。

【0043】次に、図14に示すように、マスク391を形成しゲート電極371を形成する。マスク除去後、ゲート電極371をマスクとしてゲート電極下以外のp+GaAs層320を例えば硫酸系のエッチャントによ

り選択的にウエットエッチングする。

【0044】次に、全面にSiO₂膜381を作成する。その後、図15に示すようにマスク392を形成し、381、303～309層を除去する。マスクを除去後、SiO₂膜381をマスクとして、ソース、ドレイン電極部にMBE法あるいはMOCVD法によりSiを4×10¹⁸cm⁻³ドープしたn+GaAsオーミックコンタクト層313を埋め込み成長する。図16は層313を成長した後の構造を示している。その後、ソース電極372及びドレイン電極373を実施例1と同様に形成し、図12の構造を得る。

【0045】この構造を用いることによりソース及びドレイン電極からチャネル層へのコンタクト抵抗を低減することができる。また、この工程ではゲート電極をマスクにしてp+GaAs層320をエッチングするため、均一性の良いゲート形成が行われる。層にInGaP層を用いることによりJFETの耐圧特性を向上させ、またJFETの安定動作を実現することができる。そして、この構造においてはエビタキシャル成長時にV族元素の切り替えが必要な層とチャネル層が離れているためV族元素切り替え制御がFET動作に与える影響がない。

【0046】実施例4

図12に示す第3の実施形態の別の製造方法を説明する。図17～図18は同形態の別の製造過程における断面図である。以下、図12、図13、図17～図18、図15、及び図16を参照して本実施例について説明する。

【0047】実施例3と同様にして図13に示す構造を得た後、図17に示すように、作成したウェハ上にマスク393を形成し、アンドープIn0.49Ga0.51P層309をエッチングストップ層に用いてp+GaAs層320を例えば硫酸系のエッチャントにより選択的にウエットエッチングする。

【0048】次に、図18に示すように、マスク393を除去後、マスク394を形成しp+GaAs320層の上にゲート電極371を形成する。

【0049】次に、マスク394を除去後、図15、図16の工程を実施例3と同様に行うことで、ソース、ドレイン電極部にMBE法あるいはMOCVD法によりSiを4×10¹⁸cm⁻³ドープしたn+GaAsオーミックコンタクト層313を埋め込み成長させ、ソース電極372及びドレイン電極373を形成し、図12の構造を得る。この工程においても、均一性の良いゲート形成が行われる。

【0050】実施例5

図12に示す第3の実施形態の更に別の製造方法を説明する。図19～図20は同形態の別の製造過程における断面図である。以下、図12、図13、図17及び図19～図20を参照して本実施例について説明する。

【0051】実施例3と同様にして図13に示す構造を得た後、図17に示すように実施例4と同様にマスク393を形成し、アンドープ $\text{In}0.49\text{Ga}0.51\text{P}$ 層309をエッチャングストップ層に用いて $\text{p}+\text{GaAs}$ 層320を例えば硫酸系のエッチャントにより選択的にウェットエッチャングする。

【0052】次に、マスクを除去後、全面に SiO_2 膜382を作成する。その後、図19に示すようにマスク395を形成し、382、303-309層を除去する。マスク395を除去後、 SiO_2 膜382をマスクとして、ソース、ドレイン電極部にMBE法あるいはMOCSV法により Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした $\text{n}+\text{GaAs}$ オーミックコンタクト層313を埋め込み成長する。図20は層313成長後の構造を示している。その後、ゲート電極371、ソース電極372及びドレイン電極373を形成し、図12の構造を得る。

【0053】実施例6

図21は本発明の第4の実施の形態の構造を示す断面図、図22～図25は同形態の製造過程における断面図である。以下、図21～図25を参照して第4の実施の形態について説明する。

【0054】半導体性 GaAs 基板401上に、膜厚400nmの GaAs バッファ層402、膜厚100nmのアンドープ $\text{Al}0.2\text{Ga}0.8\text{As}$ バッファ層403、 Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした膜厚4nmの $\text{Al}0.2\text{Ga}0.8\text{As}$ 電子供給層404、膜厚2nmのアンドープ $\text{Al}0.2\text{Ga}0.8\text{As}$ スペーサ層405、膜厚15nmのアンドープ $\text{In}0.2\text{Ga}0.8\text{As}$ チャネル層406、膜厚2nmのアンドープ $\text{Al}0.2\text{Ga}0.8\text{As}$ スペーサ層407、 Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした膜厚9nmの $\text{Al}0.2\text{Ga}0.8\text{As}$ 電子供給層408、膜厚17nmのアンドープ $\text{In}0.49\text{Ga}0.51\text{P}$ 層409、 Zn または C を $1 \times 10^{20} \text{ cm}^{-3}$ ドープした $\text{p}+\text{GaAs}$ 層420を順次分子線成長(MBE)法または有機金属気相成長(MOCVD)法によりエピタキシャル成長する。図22はエピタキシャル成長後の構造を示している。

【0055】次に、図23に示すように、作成したウェハ上にマスク491を形成し、ゲート電極471を形成する。

【0056】マスク除去後、ゲート電極471をマスクとしてゲート電極下以外の $\text{p}+\text{GaAs}$ 層420を層409をエッチャングストップとして例えば硫酸系のエッチャントにより選択的にウェットエッチャングする。続いて、全面に SiO_2 膜481を作成する。その後、図24に示すように、マスク492を形成し、 SiO_2 膜481を除去する。マスク492を除去後、図25に示すように、 SiO_2 膜481をマスクとして、ソース、ドレイン電極部にMBE法あるいはMOCSV法により Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした $\text{n}+\text{GaAs}$ オーミックコンタクト層413を成長する。その後、ソース電極472及びドレイン電極473を形成し、図21の構造を得る。この工程により、均一性の良いゲート電極形成が行われる。

【0057】この構造を用いることにより $n+$ 型の伝導を示す半導体、すなわち、オーミックコンタクト層413形成時の界面が Al を含まない InGaP 層409であるため、再成長時のモフォロジーを改善され、界面準位を無くすことによりJFETの高周波特性を高めることができる。また、 InGaP 層409を設けたことによりJFETを製造した時、ダメージの少ないウェットエッチャングが可能となり、高周波特性の劣化および特性のばらつきを無くすことができる。この構造を用いることによりソース及びドレイン電極からチャネル層へのコンタクト抵抗を低減することができる。 InGaP 層409を用いることによりJFETの耐圧特性を向上させ、またJFETの安定動作を実現することができる。そして、この構造においてはエピタキシャル成長時にV族元素の切り替えが必要な層とチャネル層が離れているためV族元素切り替え制御がFET動作に与える影響がない。

【0058】実施例7

図21に示す第4の実施形態の別の製造方法を説明する。図26～図27は同形態の別の製造過程における断面図である。以下、図21、図22、図26、図27、図24、図25を参照して本実施例について説明する。

【0059】実施例5と同様にして図22に示す構造を得た後、図26に示すように、作成したウェハ上にマスク493を形成し、アンドープ $\text{In}0.49\text{Ga}0.51\text{P}$ 層409をエッチャングストップ層に用いて $\text{p}+\text{GaAs}$ 層420を、例えば硫酸系のエッチャントにより選択的にウェットエッチャングする。

【0060】次に、図27に示すように、マスク494を除去後、マスク494を形成し $\text{p}+\text{GaAs}$ 層420の上にゲート電極471を形成する。

【0061】次に、マスク494を除去後、実施例6と同様に、図24に示すように SiO_2 膜481を作成する。その後、図25に示すように、 SiO_2 膜481をマスクとして、ソース、ドレイン電極部にMBE法あるいはMOCSV法により Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした $\text{n}+\text{GaAs}$ オーミックコンタクト層413を成長する。その後、ソース電極472及びドレイン電極473を形成し、図21の構造を得る。この工程により、均一性の良いゲート電極形成が行われる。

【0062】実施例8

図21に示す第4の実施形態の更に別の製造方法を説明する。図28～図29は同形態の別の製造過程における断面図である。以下、図21、図22、図26、図28、図29を参照して本実施例について説明する。

【0063】実施例5と同様にして図22に示す様層構造を形成した後、実施例7と同様にウェハ上にマスク493を形成してアンドープ $\text{In}0.49\text{Ga}0.51\text{P}$ 層409

をエッティングストップ層に用いて $p+GaAs$ 層 420 を、例えば硫酸系のエッチャントにより選択的にウェットエッティングすることにより図 26 に示す構造を得る。

【0064】次に、図 28 に示すように、マスク 493 除去後、全面に SiO_2 膜 482 を作成する。更に、マスク 495 を形成し、 SiO_2 膜 482 を除去する。マスク 495 を除去後、図 29 に示すように、 SiO_2 膜 482 をマスクとして、ソース、ドレイン電極部に MBE 法あるいは MO CV D 法により Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした $n+GaAs$ オーミックコンタクト層 413 を成長する。その後、ゲート電極 471、ソース電極 472 及びドレイン電極 473 を形成し、図 21 の構造を得る。

【0065】以下の実施例 9～13 に、コンタクト抵抗の低減を図った実施形態について説明する。

【0066】実施例 9

図 30 は本発明の第 5 の実施の形態の構造を示す断面図、図 31～図 34 は同形態の製造過程における断面図である。以下、図 30～図 34 を参照して第 5 の実施の形態について説明する。

【0067】半導体 $GaAs$ 基板 501 上に、膜厚 400 nm の $GaAs$ バッファ層 502、膜厚 100 nm のアンドープ $Ai 0.2Ga 0.8As$ バッファー層 503、 Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした膜厚 4 nm の $Ai 0.2Ga 0.8As$ 電子供給層 504、膜厚 2 nm のアンドープ $Ai 0.2Ga 0.8As$ スペーサ層 505、膜厚 15 nm のアンドープ $In 0.2Ga 0.8As$ チャネル層 506、膜厚 2 nm のアンドープ $Ai 0.2Ga 0.8As$ スペーサ層 507、 Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした膜厚 9 nm の $Ai 0.2Ga 0.8As$ 電子供給層 508、膜厚 12 nm のアンドープ $In 0.49Ga 0.51P$ 層 509、膜厚 5 nm のアンドープ $InGaAsP$ 層 530、膜厚 30 nm のアンドープ $GaAs$ 埋め込み層 510、 Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした膜厚 6 nm の $Ai 0.2Ga 0.8As$ ウィドリセスストップ層 511、 Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした膜厚 100 nm の $GaAs$ キャップ層 512 を順次分子線成長 (MBE) 法または有機金属気相成長 (MO CV D) 法によりエピタキシャル成長する。図 31 はエピタキシャル成長後の構造を示している。

【0068】次に、図 32 に示すように、作成したウェハ上にワイドリセス (第 2 のリセス) が開口したマスク 591 を形成し、 $Ai 0.2Ga 0.8As$ ワイドリセスストップ層 511 をエッティングストップ層に用いて $GaAs$ キャップ層 512 層を選択的にエッティングする。このような選択エッティングは ECR エッティング装置または RIE 装置を用い、ハロゲン元素として塩素のみを含んだ塩化ガスとフッ素のみを含んだフッ化物ガスとの混合ガス (例えば $BCl_3 + SF_6$ など) を導入したドライエッティングにより可能である。

【0069】表面に露出している部分の $Ai 0.2Ga 0.8$

As ワイドリセスストップ層 511 とマスク 591 を除去した後、全面に SiO_2 膜 581 を作成する。新たにゲートリセス部 (第 1 のリセス) が開口したマスク 592 を形成し、 SiO_2 膜 581 をエッティングする。さらに、 $In 0.49Ga 0.51P$ 層 509 をストップ層に用いて膜厚 30 nm のアンドープ $GaAs$ 埋め込み層 510、 $InGaAsP$ 層 530 を例え硫酸系のエッチャントにより選択的にウェットエッティングする。図 33 はウェットエッティング後の構造を示している。

【0070】次に、図 34 に示すように、マスク 592 を除去後、表面に露出した $In 0.49Ga 0.51P$ 層 509 上に SiO_2 膜 581 をマスクとして、ゲート開口部に MBE 法あるいは MO CV D 法により Zn または C を $1 \times 10^{20} \text{ cm}^{-3}$ ドープした $p+GaAs$ 層 520 を成長する。

【0071】その後、 $p+GaAs$ 層 520 の上にゲート電極 571 を形成する。次に Ag を蒸着リフトオフ及びアロイ (例えば $400^\circ\text{C} / 1 \text{ min}$) を行い、オーミック電極として、ソース電極 572 及びドレイン電極 573 を形成し、図 30 の構造を得る。

【0072】この構造を用いることにより $p+$ 型の伝導を示す半導体形成時のモフォロジーを改善し、また界面準位を無くすことにより JFET の高周波特性を高めることができる。また、層として $InGaP$ 層を設けたことにより JFET を製造した時、ダメージの少ないウェットエッティングが可能となり、高周波特性の劣化および特性のばらつきを無くすことができる。多段リセスを形成するエピタキシャル構造に変化、すなわち、 $InGaAsP$ 層 530 を加えることにより、キャップ層 512 からチャネル層 506 へのコンタクト抵抗を低減することができる。さらに、 $InGaP$ 層 509 を用いることにより JFET の耐圧特性を向上させ、また JFET の安定動作を実現することができる。そして、この構造においてはエピタキシャル成長時に V 族元素の切り替えが必要な層とチャネル層が離れているため V 族元素切り替え制御が FET 動作に与える影響がない。尚この例では、 $InGaAsP$ 層 530 もエッティングしてリセスを形成していたが、 $InGaAsP$ 層 530 を一部残してあるいは該層をエッティングせずに第 1 のリセスを形成し、該リセス内に $p+GaAs$ 層 520 を形成しても良い。

【0073】実施例 10

図 35 は本発明の第 6 の実施の形態の構造を示す断面図、図 36～図 39 は同形態の製造過程における断面図である。以下、図 35～図 39 を参照して第 6 の実施の形態について説明する。

【0074】半導体 $GaAs$ 基板 601 上に、膜厚 400 nm の $GaAs$ バッファ層 602、膜厚 100 nm のアンドープ $Ai 0.2Ga 0.8As$ バッファー層 603、 Si を $4 \times 10^{18} \text{ cm}^{-3}$ ドープした膜厚 4 nm の $Ai 0.2Ga 0.8As$

0.2G a 0.8As 電子供給層 604、膜厚 2nm のアンドープ A 1 0.2G a 0.8As スペーサ層 605、膜厚 15nm のアンドープ I n 0.2G a 0.8As チャネル層 606、膜厚 2nm のアンドープ A 1 0.2G a 0.8As スペーサ層 607、Si を $4 \times 1018 \text{ cm}^{-3}$ ドープした膜厚 9nm の A 1 0.2G a 0.8As 電子供給層 608、膜厚 12nm のアンドープ I n 0.49G a 0.51P 層 609、膜厚 5nm のアンドープ I n GaAsP 層 630、Si を $4 \times 1018 \text{ cm}^{-3}$ ドープした膜厚 100nm の GaAs キャップ層 612 を相次分子錠成長 (MBE) 法または有機金属氣相成長 (MO CVD) 法によりエピタキシャル成長する。図 35 はエピタキシャル成長後の構造を示している。

【0075】次に、作成したウェハ上に広いリセスが開口したマスク 691 を形成し、I n 0.49G a 0.51P 層 609 をストップ層に用いて GaAs キャップ層 612、I n GaAsP 層 630 を剥けば硫酸系のエッチャントにより選択的にウェットエッチングする。図 37 はウェットエッチング後の構造を示している。

【0076】マスク 691 を除去した後、全面に SiO₂ 膜 681 を作成する。新たにゲートリセス部が開口したマスク 692 を形成し、SiO₂ 膜 681 をエッチングする。図 38 は SiO₂ 膜 681 をエッチング後の構造を示している。次に図 39 に示すように、マスク 692 を除去後、表面に露出した I n 0.49G a 0.51P 層 609 上に SiO₂ 膜 681 をマスクとして、ゲート開口部に MBE 法あるいは MO CVD 法により Zn または C を $1 \times 1020 \text{ cm}^{-3}$ ドープした p+GaAs 層 620 を成長する。

【0077】その後、p+GaAs 層 620 の上にゲート電極 671 を形成する。次に AuGe を蒸着リフトオフ及びアロイ (例えば 400°C / 1 min.) を行い、オーミック電極として、ソース電極 672 及びドレイン電極 673 を形成し、図 35 の構造を得る。

【0078】この構造を用いることにより p+ 型の伝導を示す半導体形成時のモフォロジーを改善し、また界面準位を無くすことにより JFET の高周波特性を高めることができる。また、I n GaP 層 609 をもうけることにより JFET を製造した時、ダメージの少ないウエットエッチングが可能となり、高周波特性の劣化および特性のばらつきを無くすことができる。多段リセスを形成するエピタキシャル構造に変化を加えることにより、キャップ層 612 からチャネル層 606 へのコンタクト抵抗を低減することができる。さらに、I n GaP 層 609 を用いることにより JFET の耐圧特性を向上させ、また JFET の安定動作を実現することができる。そして、この構造においてはエピタキシャル成長時に V 族元素の切り替えが必要な層とチャネル層が離れているため V 族元素切り替え制御が JFET 動作に与える影響がない。尚この例では、I n GaAsP 層 630 もエッチ

ングしてリセスを形成していたが、I n GaAsP 層 630 を一部残してあるいは該層をエッティングせずにリセスを形成し、該リセス内に p+GaAs 層 620 を形成しても良い。

【0079】実施例 11

図 40 は本発明の第 7 の実施の形態の構造を示す断面図、図 41～図 44 は同形態の製造過程における断面図である。以下、図 40～図 44 を参照して第 7 の実施の形態について説明する。

【0080】半絶縁性 GaAs 基板 701 上に、膜厚 400nm の GaAs パッファ層 702、膜厚 100nm のアンドープ A 1 0.2G a 0.8As パッファー層 703、Si を $4 \times 1018 \text{ cm}^{-3}$ ドープした膜厚 4nm の A 1 0.2G a 0.8As 電子供給層 704、膜厚 2nm のアンドープ I n 0.2G a 0.8As スペーサ層 705、膜厚 15nm のアンドープ I n 0.2G a 0.8As チャネル層 706、膜厚 2nm のアンドープ A 1 0.2G a 0.8As スペーサ層 707、Si を $4 \times 1018 \text{ cm}^{-3}$ ドープした膜厚 9nm の A 1 0.2G a 0.8As 電子供給層 708、膜厚 12nm のアンドープ I n 0.49G a 0.51P 層 709、膜厚 5nm のアンドープ I n GaAsP 層 730、Zn または C を $1 \times 1020 \text{ cm}^{-3}$ ドープした p+GaAs 層 720 を相次分子錠成長 (MBE) 法または有機金属氣相成長 (MO CVD) 法によりエピタキシャル成長する。図 41 はエピタキシャル成長後の構造を示している。

【0081】次に、図 42 に示すように、マスク 791 を形成しゲート電極 771 を形成する。マスク 791 除去後、ゲート電極 771 をマスクに、I n GaAsP 層 730 をエッチングストップ層としてゲート電極 771 下以外の p+GaAs 層 720 を剥けば硫酸系のエッチャントにより選択的にウェットエッチングする。

【0082】次に、全面に SiO₂ 膜 781 を作成し、図 43 に示すように、マスク 792 を形成し、SiO₂ 膜 781 のソース・ドレイン電極形成部を除去する。マスク 792 を除去後、SiO₂ 膜 781 をマスクとして、ソース・ドレイン電極部の I n GaAsP 層 730 上に MBE 法あるいは MO CVD 法により Si を $4 \times 1018 \text{ cm}^{-3}$ ドープした n+GaAs オーミックコンタクト層 713 を成長する。図 44 はオーミックコンタクト層 713 成長後の構造を示している。その後、ソース電極 772 及びドレイン電極 773 を形成し、図 40 の構造を得る。

【0083】この構造を用いることにより n+ 型の伝導を示す半導体、すなわちオーミックコンタクト層 713 形成時のモフォロジーを改善し、また界面準位を無くすことにより JFET の高周波特性を高めることができる。また、I n GaP 層 709 をもうけることにより JFET を製造した時、ダメージの少ないウエットエッチングが可能となり、高周波特性の劣化および特性のばらつきを無くすことができる。又、I n GaAsP 層 73

0を追加したことにより、ソース及びドレイン電極からチャネル層へのコンタクト抵抗を低減することができる。また、この工程により、均一性の良いゲート電極形成が行われる。第2層にInGaP層を用いることによりJFETの耐圧特性を向上させ、またJFETの安定動作を実現することができる。そして、この構造においてはエビタキシャル成長時にV族元素の切り替えが必要な層とチャネル層が離れているためV族元素切り替え制御がJFET動作に与える影響がない。

【0084】実施例12

図40に示す本発明の第7の実施の形態の別の製造方法を説明する。図45～図46は同実施例の製造過程における断面図である。以下、図40、図41、図45、図46、図43、図44を参照して本実施例について説明する。

【0085】実施例11と同様にして図41に示す構造を得た後、図45に示すように、作成したウェハ上にマスク793を形成し、アンドープInGaAsP層730をエッチングストップ層に用いてp+GaAs層720を例えれば硫酸系のエッチャントにより選択的にウェットエッチングする。

【0086】次に、図46に示すように、マスク793を除去後、マスク794を形成しp+GaAs層720の上にゲート電極771を形成する。

【0087】次に、マスク794を除去後、実施例11と同様に、図43に示すように、全面にSiO₂膜781の作成及びバターン化を実施し、図44に示すようにSiO₂膜781をマスクとして、ソース、ドレイン電極部にMBE法あるいはMO-CVD法によりSiを4×10¹⁸cm⁻³ドープしたn+GaAsオーミックコンタクト層713を成長する。その後、ソース電極772及びドレイン電極773を形成し、図40の構造を得る。この工程により、均一性の良いゲート電極形成が行われる。

【0088】実施例13

本発明の第7の実施の形態の更に別の製造方法を説明する。図47～図48は同実施例の製造過程における断面図である。以下、図40、図41、図45、図47、図48を参照して本実施例について説明する。

【0089】実施例12と同様に、図41及び図45の工程を経て、p+GaAs層720を所望形状にエッチングする。

【0090】次に、図47に示すように、マスクを除去後、全面にSiO₂膜782を作成する。その後、マスク795を形成し、SiO₂膜782を除去する。マスク795を除去後、SiO₂膜782をマスクとして、ソース、ドレイン電極部にMBE法あるいはMO-CVD法によりSiを4×10¹⁸cm⁻³ドープしたn+GaAsオーミックコンタクト層713を成長する。図48はオーミックコンタクト層713形成後の構造を示してい

る。その後、ゲート電極771、ソース電極772及びドレイン電極773を形成し、図40の構造を得る。

【0091】実施例14～26

以上の実施例1～13では、チャネル層上にAlGaAsからなるスペーサ層及び電子供給層を形成していたが、これらの層をそれぞれInGaP層及び不純物ドープInGaP層に変更することにより、エビタキシャル構造に変化が加えられ、チャネル層へのコンタクト抵抗を低減することができる。例えば、スペーサ層としてアンドープIn0.49Ga0.51Pを、電子供給層としてSiを4×10¹⁸cm⁻³ドープしたIn0.49Ga0.51Pを用いる。

【0092】実施例27

図49は本発明の電界効果トランジスタの第8の実施形態に係る構造を示す断面図である。図50～図54は製造工程における断面図である。以下、図49～図54を用いてこの実施の形態を説明する。

【0093】まず半導体GaN基板801上に、膜厚400nmのアンドープGaNバッファー層802、膜厚100nmのAl0.2Ga0.8Asバッファー層803、Siを4×10¹⁸cm⁻³ドープした膜厚4nmのAl0.2Ga0.8As電子供給層804、膜厚2nmのアンドープAl0.2Ga0.8Asスペーサ層805、膜厚15nmのアンドープIn0.2Ga0.8Asスペーサ層806、膜厚2nmのアンドープInGaPエッチングストップ層811、Siを4×10¹⁸cm⁻³ドープした膜厚23nmのGaNAsオーミックコンタクト層812を順にMBE法もしくはMO-CVD法でエビタキシャル成長する。図50はエビタキシャル成長後の構造を示す断面図である。

【0094】次に作成したウェハ上にSiO₂膜881

1、ゲート開口部が開口したマスク891を周囲に形成し、SiO₂膜881をエッチングしてゲート開口部にGaAs層812を露出させる。図51はSiO₂膜881エッチング後の構造である。

【0095】さらに、マスク891を除去し、InGaP層811をエッチングストップ層としてGaAs層812をドライエッチングした後、塩酸系エッチャントによりゲート開口部内のInGaP層811を除去する。図52はInGaP層811除去後の構造を示す断面図である。

【0096】その後、ウェハをMBE装置あるいはMO-CVD装置内に導入し、SiO₂膜881をマスクとして、Siを4×10¹⁸cm⁻³ドープした膜厚12nmのAl0.2Ga0.8As電子供給層818、膜厚15nmのアンドープIn0.49Ga0.51P層819、Znを1×10²⁰cm⁻³ドープしたp+型GaAs層820を順次選択成長する。図53はp+型GaAs層820形成後の構造を示す断面図である。

【0097】その後、 $p+GaAs$ 層820上にゲート電極金属971を形成する。更にSiO2膜881をソースドレイン領域が開口するようにパターン化する。図54は、このパターン化後の断面図である。次にオーミック電極金属872、873をそれぞれソース部分、ドレイン部分に形成し、図49の構造を得る。

【0098】上記の製造工程において、ゲート開口部形成後(図52)、ゲート開口部内で表面に露出されるのは $GeAs$ 層807、 $InGaP$ 層811、n型 $GeAs$ 層812であり、いずれも反応性の高いAlを含んでいない。これにより、統く選択再成長工程において、酸素などの不純物に起因した界面準位が、再成長界面に多量に導入されるのを阻止することができる。従って、界面準位によるFETの高周波特性の劣化を防ぐことが可能となる。

【0099】実施例28

実施例27では、 $InGaAs$ チャネル層806上に $GeAs$ スペーサ層807を設けたが、このスペーサ層をアンドープ $InGaP$ 層とすることもできる。この場合、 $InGaP$ スペーサ層807がゲート開口部形成時にエッチングストップ層を兼ねるので、実施例27におけるエッチングストップ層811は不要となる。図55は本実施例の構造を示す断面図である。

【0100】本実施例の構造においては、ゲート開口部形成後、ゲート開口部内で表面に露出されるのは $InGaP$ 層807、n型 $GeAs$ 層812であり、いずれも反応性の高いAlを含んでいない。これにより、統く選択再成長工程において、酸素などの不純物に起因した界面準位が、再成長界面に多量に導入されるのを阻止することができる。従って、界面準位によるFETの高周波特性の劣化を防ぐことが可能となる。

【0101】さらに、 $GeAs$ よりも電子親和力の小さい $InGaP$ をスペーサ層として用いているため、 $InGaAs$ チャネル層806内への2次元電子ガスの閉じこめ効果を増大し、2次元電子ガスの電流給送特性を高めることができるとなる。

【0102】実施例29

図56は本発明の電界効果トランジスタの第9の実施形態に係る構造を示す断面図である。図57～図60は製造工程を示す断面図である。以下図55～図50を用いて説明する。

【0103】まず半絶縁性 $GeAs$ 基板901上に、膜厚400nmのアンドープ $GeAs$ バッファー層902、膜厚5nmのアンドープ $InGaP$ エッチングストップ層903、Siを4×10¹⁸cm⁻³ドープした膜厚140nmの $GeAs$ オーミックコンタクト層912を順にMBE法もしくはMOCVD法でエピタキシャル成長する。図57はエピタキシャル成長後の構造を示す断面図である。

【0104】次に作製したウェハ上にSiO₂膜98

1、ゲート開口部が開口したマスク911を順に形成し、SiO₂膜981をエッチングしてゲート開口部に $GeAs$ 層912を露出させる。図58はSiO₂膜981エッチング後の構造である。さらに、マスク991を除去し、 $InGaP$ 層903をエッチングストップ層として $GeAs$ 層912をドライエッチングする。図59は $GeAs$ 層912エッチング後の構造を示す断面図である。

【0105】その後、ウェハをMBE装置あるいはMOCVD装置内に導入し、SiO₂膜981をマスクとして、膜厚100nmのAl0.2Ge0.8Asバッファー層913、Siを4×10¹⁸cm⁻³ドープした膜厚4nmのAl0.2Ge0.8As電子供給層914、膜厚2nmのアンドープAl0.2Ge0.8Asスペーサ層915、膜厚15nmのアンドープAl0.2Ge0.8Asチャネル層916、膜厚2nmのアンドープAl0.2Ge0.8Asスペーサ層917、Siを4×10¹⁸cm⁻³ドープした膜厚12nmのIn0.49Ga0.51P電子供給層918、膜厚15nmのアンドープIn0.49Ga0.51P層919、Znを1×10²⁰cm⁻³ドープしたp型 $GeAs$ 層920を順次選択成長する。図60はp型 $GeAs$ 層920形成後の構造を示す断面図である。

【0106】その後、 $p+GeAs$ 層920上にゲート電極金属971を形成する。次にオーミック電極金属772、773をそれぞれソース部分、ドレイン部分に形成し、図56の構造を得る。

【0107】上記の製造工程において、ゲート開口部形成後(図59)、ゲート開口部内で表面に露出されるのは $InGaP$ 層903、n型 $GeAs$ 層912であり、いずれも反応性の高いAlを含んでいない。これにより、統く選択再成長工程において、酸素などの不純物に起因した界面準位が、再成長界面に多量に導入されるのを阻止することができる。従って、界面準位によるFETの高周波特性の劣化を防ぐことが可能となる。

【0108】さらに本実施例では、バッファー層913からp型 $GeAs$ 層920までをMBE装置あるいはMOCVD装置内に統統的にエピタキシャル成長しているため、ゲート電極971直下の全てのヘテロ接合界面において界面準位の極めて少ない良好な界面を形成することができ、これにより、高周波特性に優れたFETの製造が可能となる。

【0109】以上の実施例では、第1導電型をn型、第2導電型をp型として説明しているが、第1導電型をp型、第2導電型をn型としても良い。又、チャネル層として $InGaAs$ を用いているが、 $GeAs$ で構成されても良い。ゲート層材料としても、上記 $GeAs$ 層以外に、Al₁Ge_{As}、In₁Ge_{As}、In₁Ge_Pを用いても良い。ソース・ドレイン電極用のオーミックコンタクト層(キャップ層を含む)としても、上記 $GeAs$ 以外に、In₁Ge_{As}、Al₁Ge_{As}、In₁Ge_P、In₁

n GaAsP 等の使用も可能である。

【0110】又、各層の組成比についても例示的に示したものであり、これらに限定されるものではなく、当業者が適宜変更できるものである。尚、本発明の特徴部分である InGaP 層に関しては、InGa1-xP としたとき、臨界膜厚以内であれば $0 < x < 1$ の範囲で種々選択でき、 x が 1 に近づくほどバンドギャップは狭くなりオシ抵抗は良くなるが、目的とする耐圧は悪くなる傾向にある。GaAs 基板との格子整合のとれる $x = 0.48$ 程度が最も望ましい。

【0111】又、不純物ドープ層のドーパント濃度も、上記の例のみに限定されるものではない。 n 型ドーパントとしては上記 S_i を用いるのが一般的であるが、ドーパント濃度は $1 \times 10^{17} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度であり、ゲート層を n 型とする場合 $4 \times 10^{18} \text{ cm}^{-3}$ 程度が望ましい。 p 型ドーパントとしては、MOCVD 法では上記 Zn 及び Cd を用いるのが一般的であり、 $1 \times 10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度、MBE 法では Be が一般的であり、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度である。この場合もゲート層を p 型とする場合 $1 \times 10^{20} \text{ cm}^{-3}$ 程度が望ましい。

【0112】

【発明の効果】本発明によれば、JFET の耐圧特性を向上させ、また JFET の安定動作を実現することが可能である。その理由は、エネルギー不連続層をゲート層とチャネル層との間に挿入したことでゲート層からチャネルに至る価電子帶エネルギーを急激に下げ、ゲート電圧印加時に正孔がチャネルに到達しにくくなり、アバランシェ降伏が起きにくくなるためである。

【0113】また本発明では、 $p+$ 型の佐導を示す半導体あるいはソース・ドレイン電極用のオーミックコンタクト層を再成長形成する時のモフォロジーが改善され、また界面準位を無くすことができ、JFET の高周波特性を高めることができる。その理由は、ゲート層を再成長形成する際に、その界面にエネルギー不連続層を構成する InGaP 層などの Al を含まない層上に実施するため、モフォロジーの良い再成長形成が可能となり、酸素などの不純物に起因した界面準位が、再成長界面に多量に導入されるのを阻止することができるためである。

【0114】又本発明では、JFET を製造した時高周波特性の劣化および特性のばらつきを無くすことが可能である。その理由は、InGaP 層をエッキングストップとしてウエットエッキングにより再成長界面の露出を行うとエッキングダメージが少なくなるためである。

【0115】本発明では、キャップ層からチャネル層へのコンタクト抵抗を低減することが可能である。その理由は、InGaAsP 層をエネルギー不連続層上に形成したことにより、InGaAsP 層のない場合に比べてコンタクト抵抗を $0.1 \Omega \cdot \text{mm}$ 程度低減できるためで

ある。その結果、高出力、高効率の FET の提供が可能となる。

【0116】

【図面の簡単な説明】

【図1】本発明の一構成になる電界効果トランジスタのエネルギーバンド図である。

【図2】本発明の第1の実施形態に係る模式的断面図である。

【図3】第1の実施形態の製造工程を説明する断面図である。

【図4】第1の実施形態の製造工程を説明する断面図である。

【図5】第1の実施形態の製造工程を説明する断面図である。

【図6】第1の実施形態の製造工程を説明する断面図である。

【図7】本発明の第2の実施形態に係る模式的断面図である。

【図8】第2の実施形態の製造工程を説明する断面図である。

【図9】第2の実施形態の製造工程を説明する断面図である。

【図10】第2の実施形態の製造工程を説明する断面図である。

【図11】第2の実施形態の製造工程を説明する断面図である。

【図12】本発明の第3の実施形態に係る模式的断面図である。

【図13】第3の実施形態の製造工程を説明する断面図である。

【図14】第3の実施形態の製造工程を説明する断面図である。

【図15】第3の実施形態の製造工程を説明する断面図である。

【図16】第3の実施形態の製造工程を説明する断面図である。

【図17】第3の実施形態の別の製造工程を説明する断面図である。

【図18】第3の実施形態の別の製造工程を説明する断面図である。

【図19】第3の実施形態の更に別の製造工程を説明する断面図である。

【図20】第3の実施形態の更に別の製造工程を説明する断面図である。

【図21】本発明の第4の実施形態に係る模式的断面図である。

【図22】第4の実施形態の製造工程を説明する断面図である。

【図23】第4の実施形態の製造工程を説明する断面図である。

【図2 4】第4の実施形態の製造工程を説明する断面図である。

【図2 5】第4の実施形態の製造工程を説明する断面図である。

【図2 6】第4の実施形態の別の製造工程を説明する断面図である。

【図2 7】第4の実施形態の別の製造工程を説明する断面図である。

【図2 8】第4の実施形態の更に別の製造工程を説明する断面図である。

【図2 9】第4の実施形態の更に別の製造工程を説明する断面図である。

【図3 0】本発明の第5の実施形態に係る模式的断面図である。

【図3 1】第5の実施形態の製造工程を説明する断面図である。

【図3 2】第5の実施形態の製造工程を説明する断面図である。

【図3 3】第5の実施形態の製造工程を説明する断面図である。

【図3 4】第5の実施形態の製造工程を説明する断面図である。

【図3 5】本発明の第6の実施形態に係る模式的断面図である。

【図3 6】第6の実施形態の製造工程を説明する断面図である。

【図3 7】第6の実施形態の製造工程を説明する断面図である。

【図3 8】第6の実施形態の製造工程を説明する断面図である。

【図3 9】第6の実施形態の製造工程を説明する断面図である。

【図3 10】本発明の第7の実施形態に係る模式的断面図である。

【図4 1】第7の実施形態の製造工程を説明する断面図である。

【図4 2】第7の実施形態の製造工程を説明する断面図である。

【図4 3】第7の実施形態の製造工程を説明する断面図である。

【図4 4】第7の実施形態の製造工程を説明する断面図である。

【図4 5】第7の実施形態の別の製造工程を説明する断面図である。

【図4 6】第7の実施形態の別の製造工程を説明する断面図である。

【図4 7】第7の実施形態の更に別の製造工程を説明する断面図である。

【図4 8】第7の実施形態の更に別の製造工程を説明する断面図である。

【図4 9】本発明の第8の実施形態に係る模式的断面図である。

【図5 0】第8の実施形態の製造工程を説明する断面図である。

【図5 1】第8の実施形態の製造工程を説明する断面図である。

【図5 2】第8の実施形態の製造工程を説明する断面図である。

【図5 3】第8の実施形態の製造工程を説明する断面図である。

【図5 4】第8の実施形態の製造工程を説明する断面図である。

【図5 5】本発明の第9の実施形態の改良形態に係る模式的断面図である。

【図5 6】本発明の第9の実施形態に係る模式的断面図である。

【図5 7】第9の実施形態の製造工程を説明する断面図である。

【図5 8】第9の実施形態の製造工程を説明する断面図である。

【図5 9】第9の実施形態の製造工程を説明する断面図である。

【図5 10】第9の実施形態の製造工程を説明する断面図である。

【図6 1】従来技術によるJ F E Tの構成を示す模式的断面図である。

【図6 2】従来技術の製造工程を説明する断面図である。

【図6 3】従来技術の製造工程を説明する断面図である。

【図6 4】従来技術の製造工程を説明する断面図である。

【符号の説明】

101、201、301、401、501、601、701、801、901 基板
102、103、202、203、302、303、402、403、502、503、
602、603、702、703、802、803、902、913 パッファー
層

104、108、204、208、304、408、504、508、604、608、

704、708、804、818、914、918 電子供給層

105、107、205、207、305、307、405、407、505、507、

605、607、705、707、805、807、915、917 スペーサ層

106、206、306、406、506、606、706、806、916 チャ
ネル層

109、209、309、409、509、609、709、819、919 エネ
ルギー不連続層 (InGaP層)

110、510 埋め込み層

111、511 ワイドリセスストップ層

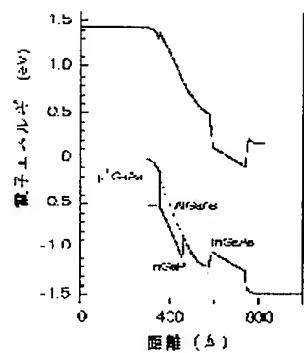
112 キヤップ層

120、220、320、420、520、620、720、820、920 p+半
導体層

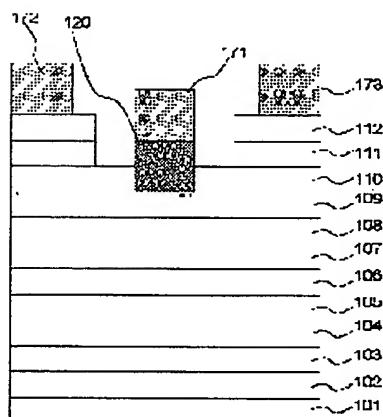
171, 271, 371, 471, 571, 671, 771, 871, 971 ゲート電極
172, 272, 372, 472, 572, 672, 772, 872, 972 ソース電極

173, 273, 373, 473, 573, 673, 773, 873, 973 ドレイン電極
181, 281, 381, 481, 581, 681, 781, 881, 981 Si
○ 2膜

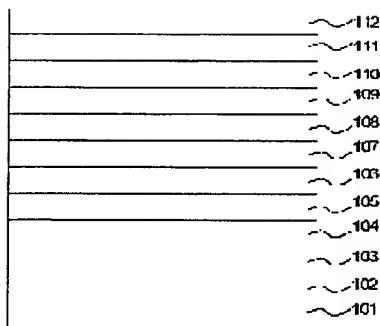
【図1】



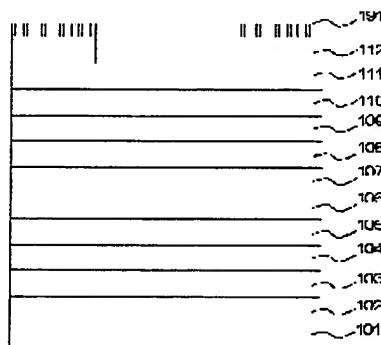
【図2】



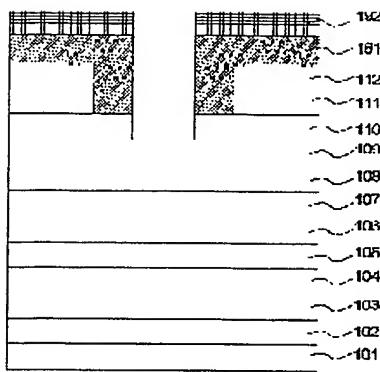
【図3】



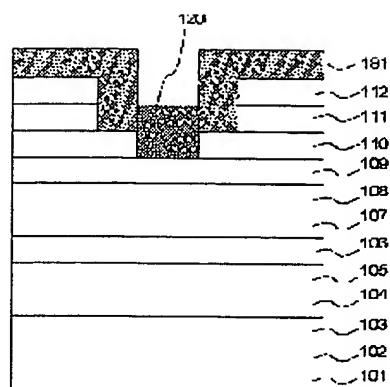
【図4】



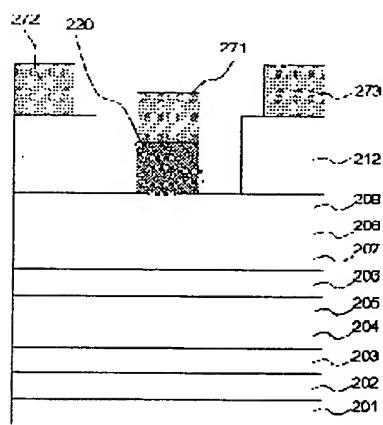
【図5】



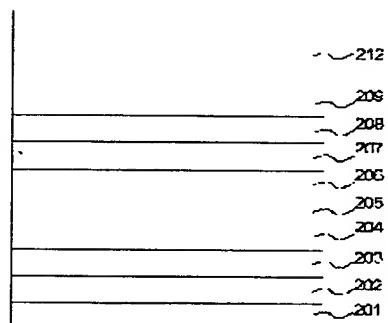
【図6】



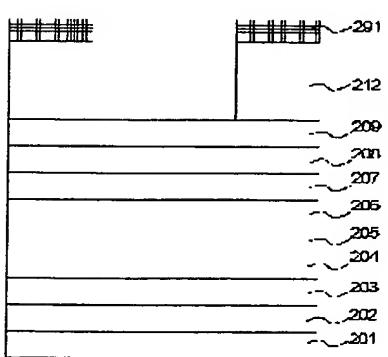
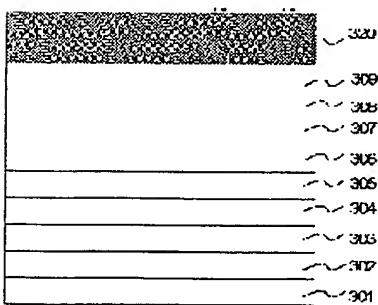
【図7】



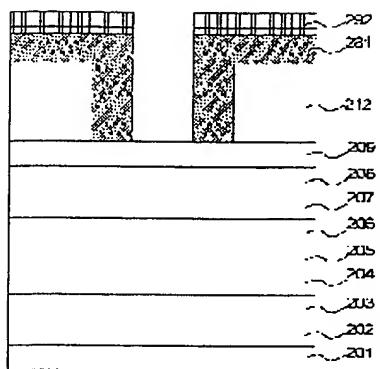
【図8】



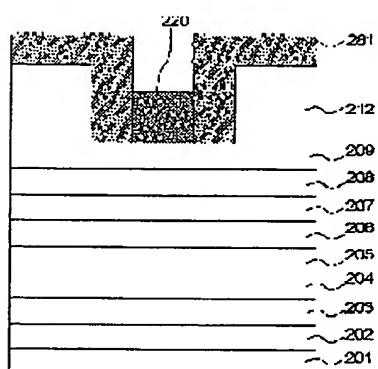
【図13】



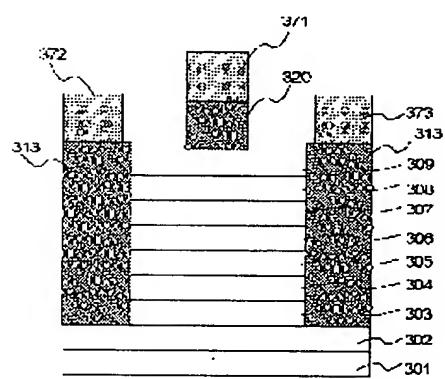
[図 10]



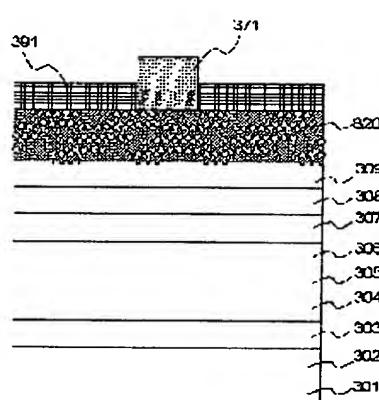
[図 11]



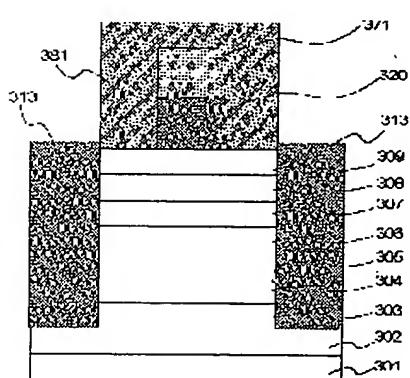
[図 12]



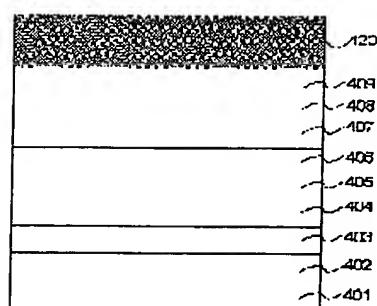
[図 14]



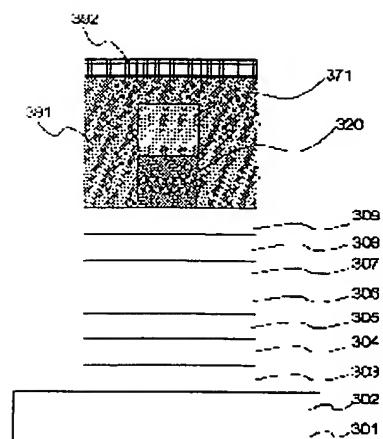
[図 16]



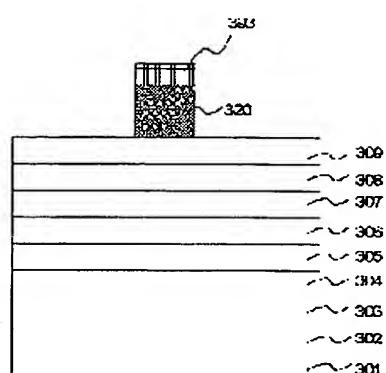
[図 22]



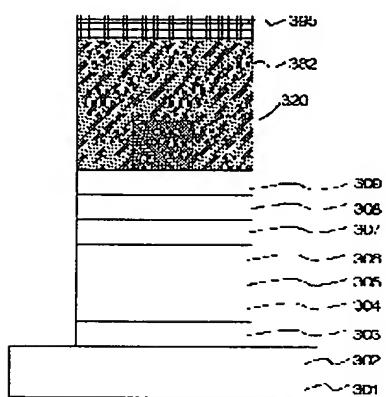
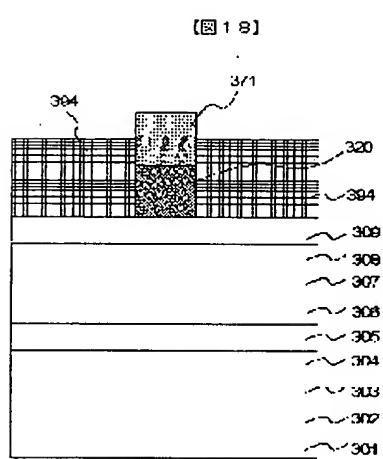
【図15】



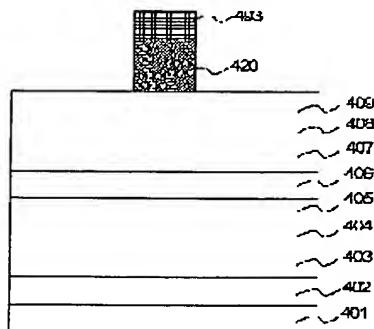
【図17】



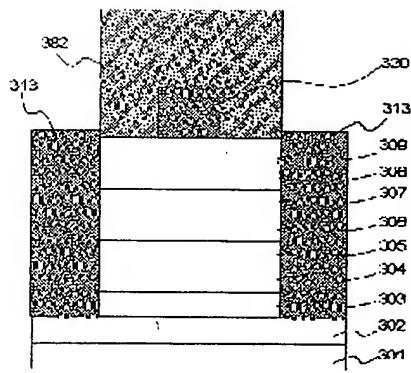
【図19】



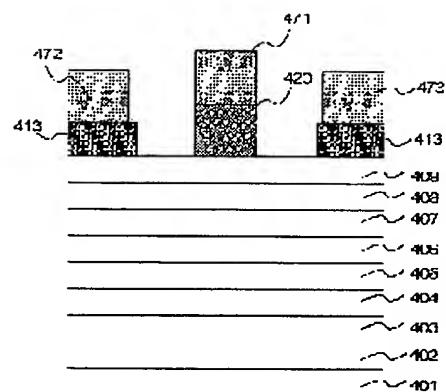
【図26】



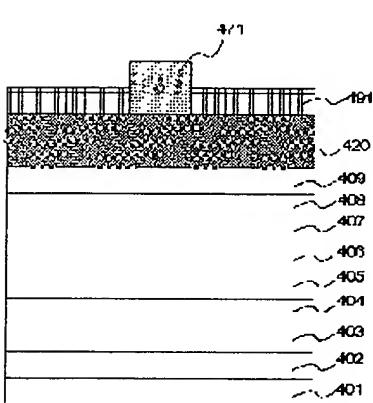
[図20]



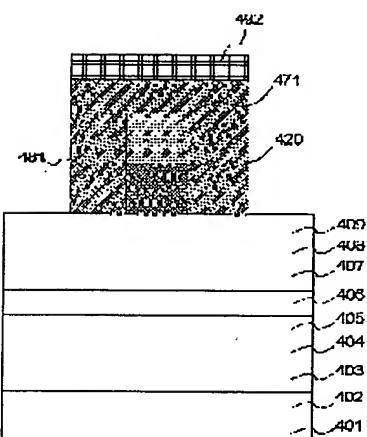
[図21]



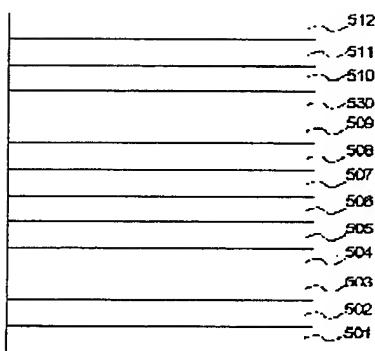
[図23]



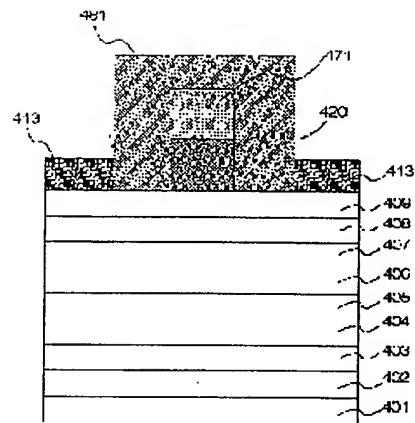
[図24]



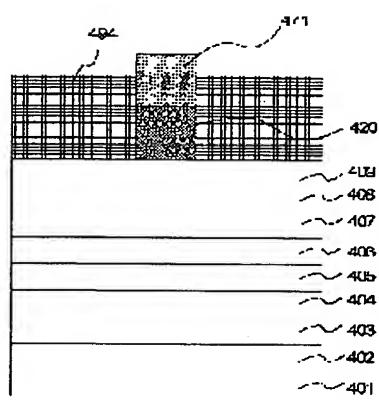
[図31]



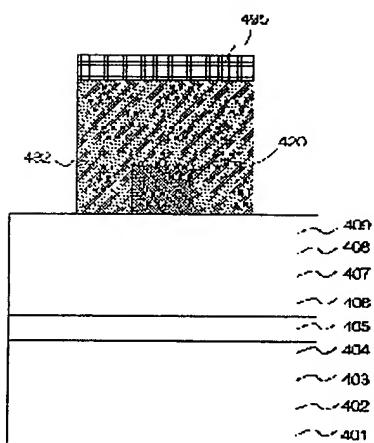
[图25]



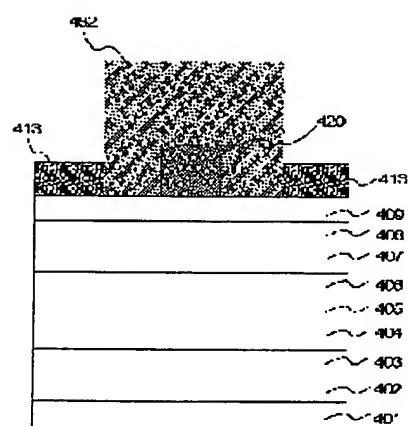
〔圖27〕



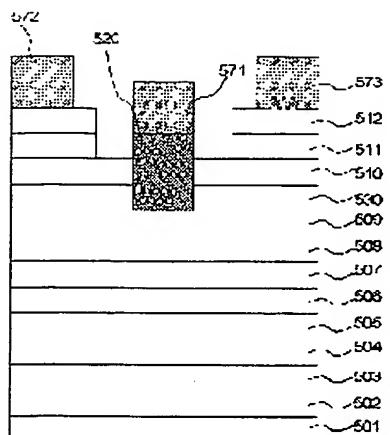
〔圖 28〕



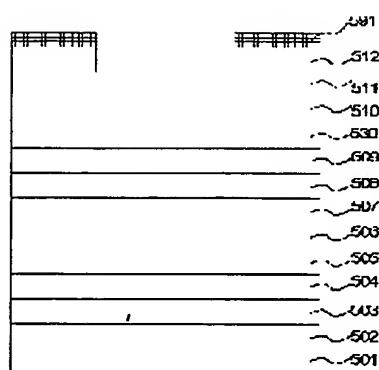
〔图29〕



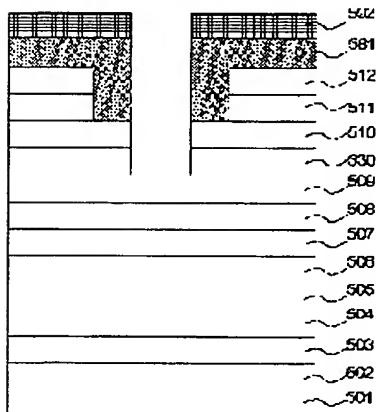
【図30】



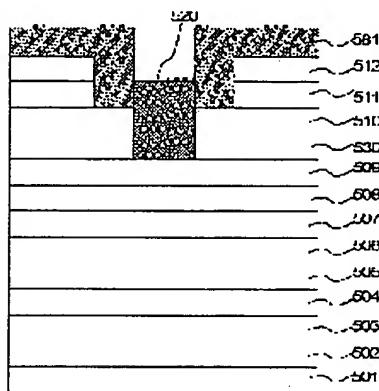
【図32】



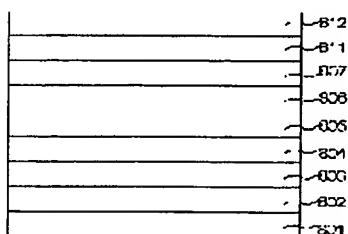
【図33】



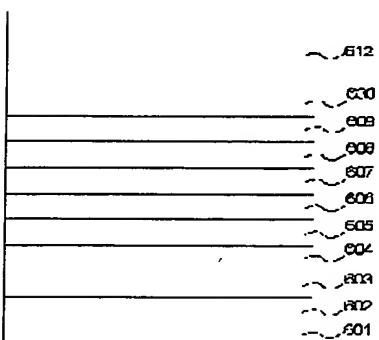
【図34】



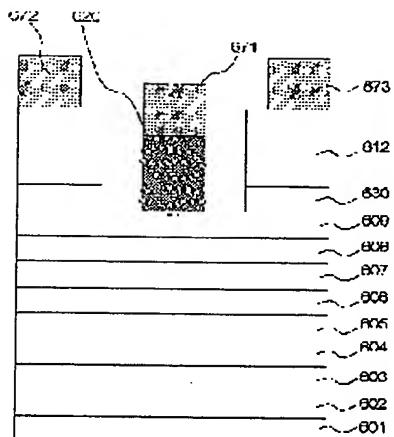
【図50】



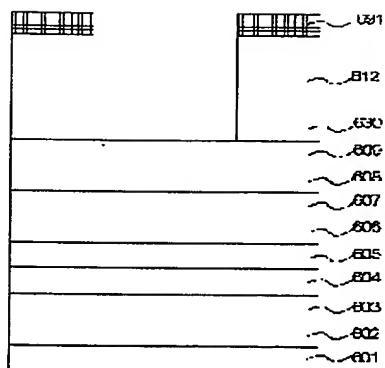
【図36】



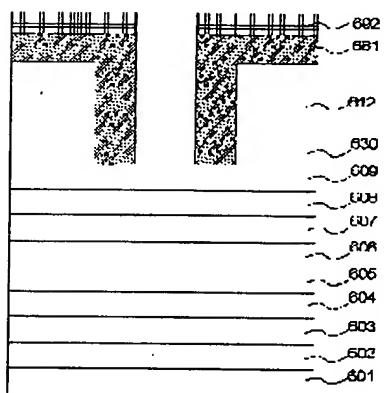
【図35】



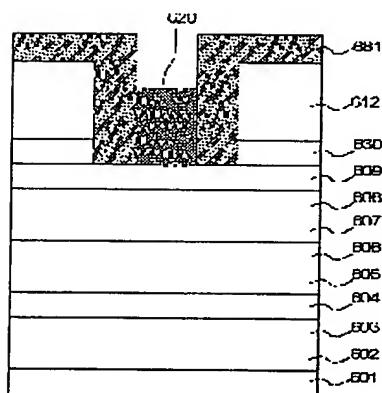
【図37】



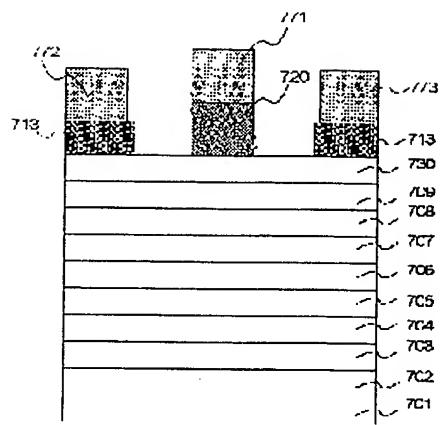
【図38】



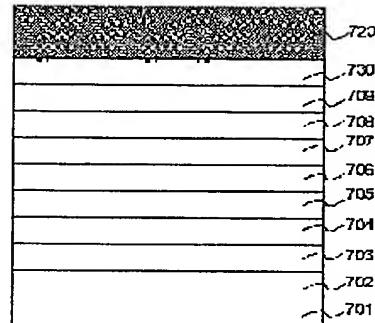
【図39】



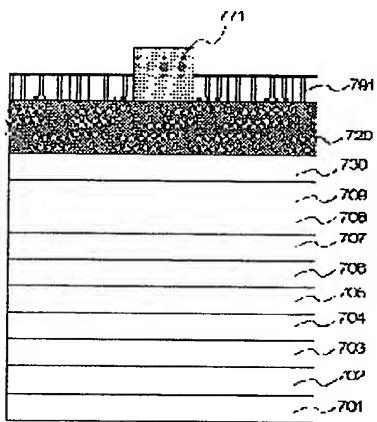
[図40]



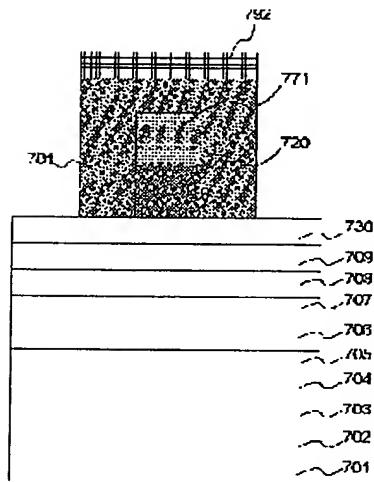
[图 4-1]



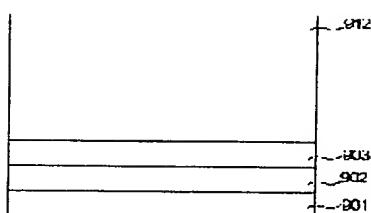
〔图42〕



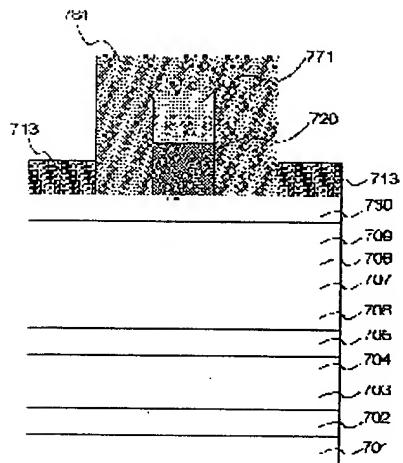
【図43】



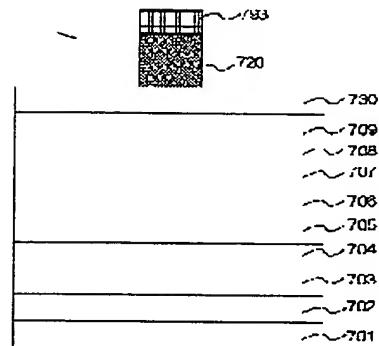
〔図57〕



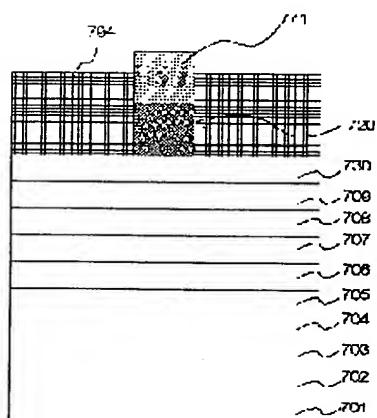
【図4-4】



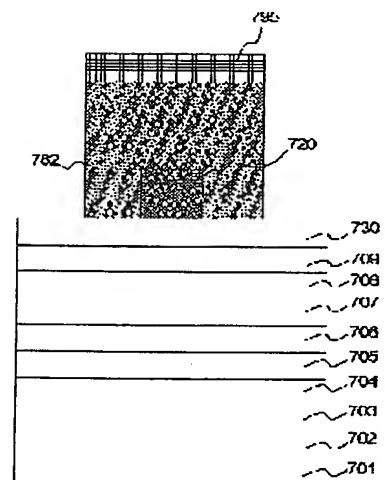
【図4-5】



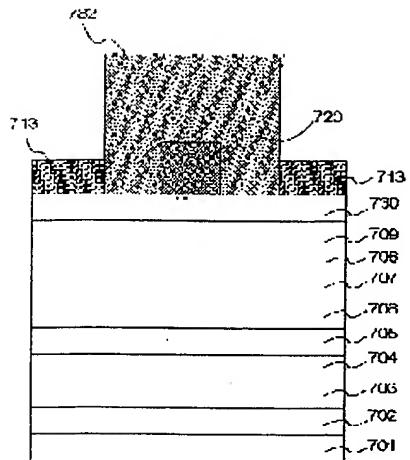
【図4-6】



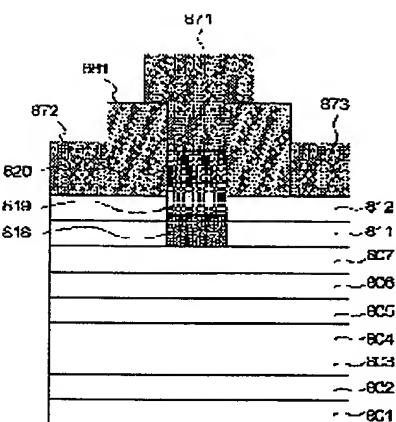
【図4-7】



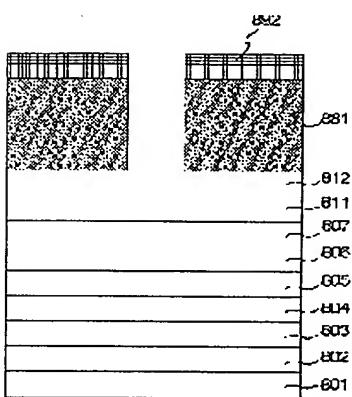
[図 48]



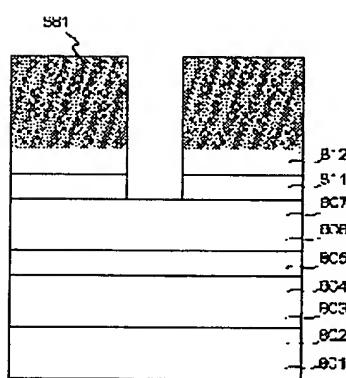
[図 49]



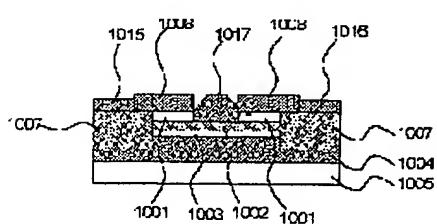
[図 51]



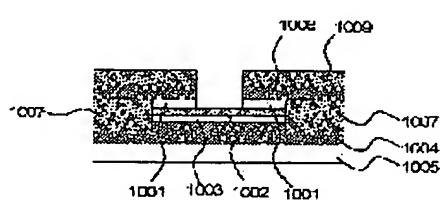
[図 52]



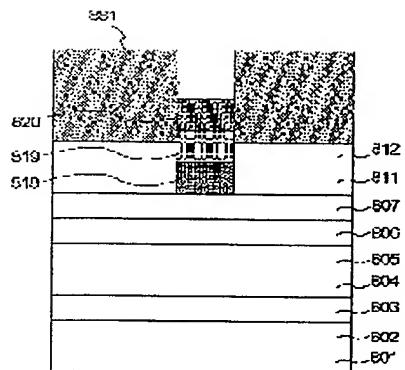
[図 61]



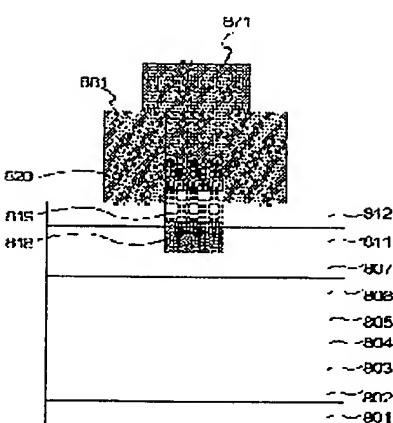
[図 62]



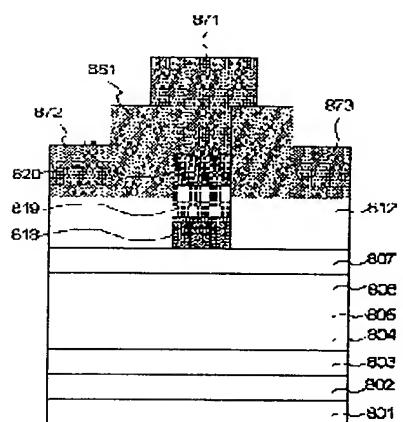
[図 53]



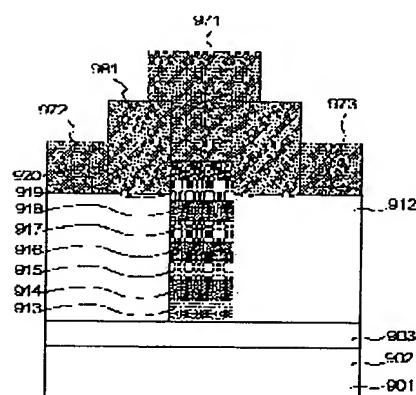
[図 54]



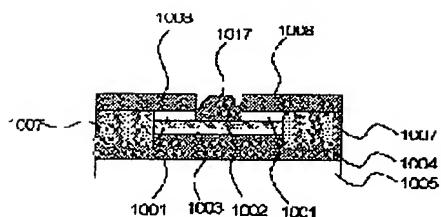
[図 55]



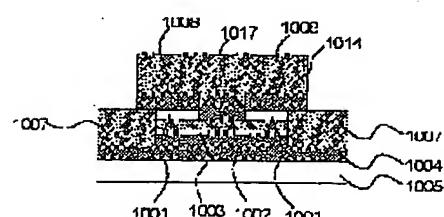
[図 56]



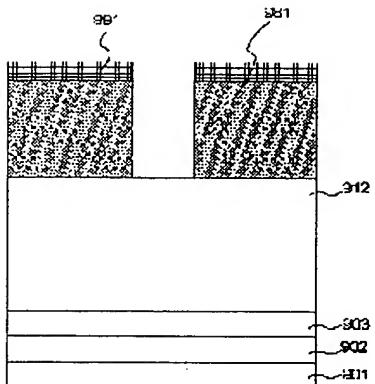
[図 63]



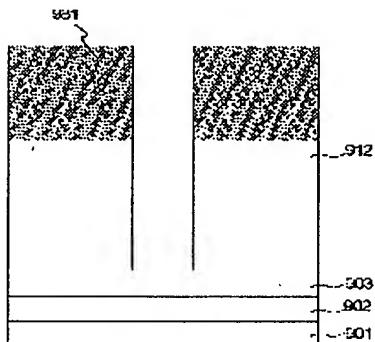
[図 64]



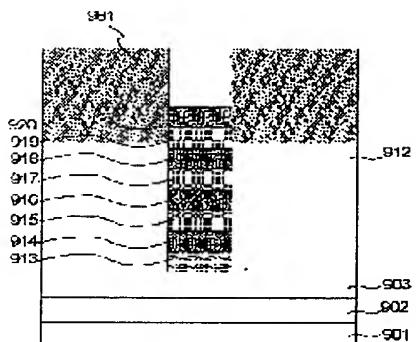
【図58】



【図59】



【図60】



フロントページの続き

(72)発明者 宮本 広信
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 岩田 直高
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 基原 正明
東京都港区芝五丁目7番1号 日本電気株
式会社内
Fターム(参考) 5F102 FA01 GB01 GC01 GD01 GD04
GJ05 GK05 GK06 GL04 GL05
GM04 GM05 GM06 GM08 GM09
GM10 GN04 GN05 GN06 GN08
GN10 GQ03 GR04 GR08 GR10
GS03 HA13 HC00 HC01 HC02
HC19